



(57) 要約:

強誘電体型不揮発性半導体メモリは、ビット線 BL_i と、選択用トランジスタ $T R_i$ と、(C) M 個（但し、 $M \geq 2$ ）のメモリセルから構成されたメモリユニット MU_i と、(D) M 本のプレート線 PL から成り、各メモリセルは、第1の電極21, 31と強誘電体層22, 32と第2の電極33, 34とから成り、メモリユニット MU_i において、メモリセルの第1の電極21, 31は共通の構造を有し、強誘電体層22, 32は、チタン酸ジルコン酸鉛 $[Pb(Zr_x, Ti_y)O_3]$ から成り、その組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足する。

明 細 書

強誘電体型不揮発性半導体メモリ

5 技術分野

本発明は、強誘電体型不揮発性半導体メモリ（所謂F E R A M）に関する。

背景技術

近年、大容量の強誘電体型不揮発性半導体メモリに関する研究が盛んに行われている。強誘電体型不揮発性半導体メモリ（以下、不揮発性メモリと略称する場合がある）は、高速アクセスが可能で、しかも、不揮発性であり、また、小型で低消費電力であり、更には、衝撃にも強く、例えば、ファイルのストレージやレ
10 ジューム機能を有する各種電子機器、例えば、携帯用コンピュータや携帯電話、ゲーム機の主記憶装置としての利用、あるいは、音声や映像を記録するための記
15 録メディアとしての利用が期待されている。

この不揮発性メモリは、強誘電体薄膜の高速分極反転とその残留分極を利用し、強誘電体層を有するキャパシタ部の蓄積電荷量の変化を検出する方式の、高速書き換えが可能な不揮発性メモリであり、基本的には、メモリセル（キャパシタ部）と選択用トランジスタ（スイッチング用トランジスタ）とから構成されている。
20 メモリセル（キャパシタ部）は、例えば、下部電極、上部電極、及び、これらの電極間に挟まれた強誘電体層から構成されている。この不揮発性メモリにおけるデータの書き込みや読み出しは、図23に示す強誘電体のP-E（V）ヒステリシスループを応用して行われる。即ち、強誘電体層に外部電界を加えた後、外部電界を除いたとき、強誘電体層は残留分極を示す。そして、強誘電体層の残留分極は、プラス方向の外部電界が印加されたとき $+P_r$ 、マイナス方向の外部電界が
25 印加されたとき $-P_r$ となる。ここで、残留分極が $+P_r$ の状態（図23の「D」参

照) の場合を「0」とし、残留分極が $-P_r$ の状態(図23の「A」参照)の場合を「1」とする。

「1」あるいは「0」の状態を判別するために、強誘電体層に例えばプラス方向の外部電界を印加する。これによって、強誘電体層の分極は図23の「C」の状態となる。このとき、データが「0」であれば、強誘電体層の分極状態は、「D」から「C」の状態に変化する。一方、データが「1」であれば、強誘電体層の分極状態は、「A」から「B」を経由して「C」の状態に変化する。データが「0」の場合には、強誘電体層の分極反転は生じない。一方、データが「1」の場合には、強誘電体層に分極反転が生じる。その結果、メモリセル(キャパシタ部)の蓄積電荷量に差が生じる。選択された不揮発性メモリの選択用トランジスタをオンにすることで、この蓄積電荷を信号電流として検出する。データの読み出し後、外部電界を0にすると、データが「0」のときでも「1」のときでも、強誘電体層の分極状態は図23の「D」の状態となってしまう。即ち、読み出し時、データ「1」は、一旦、破壊されてしまう。それ故、データが「1」の場合、マイナス方向の外部電界を印加して、「D」、「E」という経路で「A」の状態とし、データ「1」を再度書き込む。

強誘電体層を構成する強誘電体材料として、チタン酸ジルコン酸鉛[PZT, $Pb(Zr, Ti)O_3$]、チタン酸ジルコン酸ランタン鉛[(Pb, La)(Zr, Ti)O₃]といったABO₃型の強誘電体酸化物が主に開発され、一部は既に実用化され、不揮発性メモリに使用されている。

現在主流となっている不揮発性メモリの構造及びその動作は、米国特許第4873664号において、S. Sheffieldらが提案したものである。この不揮発性メモリは、図24に回路図を示すように、2つの不揮発性メモリセルから構成されている。尚、図24において、1つの不揮発性メモリを点線で囲った。各不揮発性メモリは、例えば、選択用トランジスタ TR_{11} , TR_{12} 、メモリセル(キャパシタ部) FC_{11} , FC_{12} から構成されている。

尚、2桁あるいは3桁の添字、例えば添字「1 1」は、本来、添字「1, 1」と表示すべき添字であり、例えば「1 1 1」は、本来、添字「1, 1, 1」と表示すべき添字であるが、表示の簡素化のため、2桁あるいは3桁の添字で表示する。また、添字「M」を、例えば複数のメモリセルやプレート線を総括的に表示する場合に使用し、添字「m」を、例えば複数のメモリセルやプレート線を個々に表示する場合に使用し、添字「N」を、例えば選択用トランジスタやメモリユニットを総括的に表示する場合に使用し、添字「n」を、例えば選択用トランジスタやメモリユニットを個々に表示する場合に使用する。

そして、それぞれのメモリセルに相補的なデータを書き込むことにより、1ビットを記憶する。図24において、符号「WL」はワード線を示し、符号「BL」はビット線を示し、符号「PL」はプレート線を意味する。1つの不揮発性メモリに着目すると、ワード線 WL_1 は、ワード線デコーダ/ドライバWDに接続されている。また、ビット線 BL_1 , BL_2 は、センスアンプSAに接続されている。更には、プレート線 PL_1 は、プレート線デコーダ/ドライバPDに接続されている。

このような構造を有する不揮発性メモリにおいて、記憶されたデータを読み出す場合、ワード線 WL_1 を選択し、更には、プレート線 PL_1 を駆動すると、相補的なデータが、対となったメモリセル（キャパシタ部） FC_{11} , FC_{12} から選択用トランジスタ TR_{11} , TR_{12} を介して対となったビット線 BL_1 , BL_2 に電圧（ビット線電位）として現れる。かかる対となったビット線 BL_1 , BL_2 の電圧（ビット線電位）を、センスアンプSAで検出する。

1つの不揮発性メモリは、ワード線 WL_1 、及び、対となったビット線 BL_1 , BL_2 によって囲まれた領域を占めている。従って、仮に、ワード線及びビット線が最短ピッチで配置されたとすると、1つの不揮発性メモリの最小面積は、加工最小寸法をFとしたとき、 $8F^2$ である。従って、このような構造を有する不揮発性メモリの最小面積は $8F^2$ である。

このような構造の不揮発性メモリを大容量化しようとした場合、その実現は加

工寸法の微細化に依存するしかない。また、1つの不揮発性メモリを構成するために2つの選択用トランジスタ及び2つのメモリセル（キャパシタ部）が必要とされる。更には、ワード線と同じピッチでプレート線を配設する必要がある。それ故、不揮発性メモリを最小ピッチで配置することは殆ど不可能であり、現実には、1つの不揮発性メモリの占める面積は、 $8F^2$ よりも大幅に増加してしまう。

しかも、不揮発性メモリと同等のピッチで、ワード線デコーダ／ドライバWD及びプレート線デコーダ／ドライバPDを配設する必要がある。言い換えれば、1つのロー・アドレスを選択するために2つのデコーダ／ドライバが必要とされる。従って、周辺回路のレイアウトが困難となり、しかも、周辺回路の占有面積も大きなものとなる。

不揮発性メモリの面積を縮小する手段の1つが、特開平9-121032号公報から公知である。図25に等価回路を示すように、この特許公開公報に開示された不揮発性メモリは、1つの選択用トランジスタ TR_1 の一端に並列にそれぞれ的一端が接続された複数のメモリセル MC_{1m} （例えば、 $M=4$ ）と、1つの選択用トランジスタ TR_2 の一端に並列にそれぞれ的一端が接続された複数のメモリセル MC_{2m} から構成されている。選択用トランジスタ TR_1 、 TR_2 の他端は、それぞれ、ビット線 BL_1 、 BL_2 に接続されている。対となったビット線 BL_1 、 BL_2 は、センスアンプSAに接続されている。また、対となったメモリセル MC_{1m} 、 MC_{2m} （ $m=1, 2, \dots, M$ ）の他端はプレート線 PL_m に接続されており、プレート線 PL_m はプレート線デコーダ／ドライバPDに接続されている。更には、ワード線WLは、ワード線デコーダ／ドライバWDに接続されている。

そして、対となったメモリセル MC_{1m} 、 MC_{2m} （ $m=1, 2, \dots, M$ ）に相補的なデータが記憶される。例えば、メモリセル MC_{1m} 、 MC_{2m} （ここで、 m は1, 2, 3, 4のいずれか）に記憶されたデータを読み出す場合、ワード線WLを選択し、プレート線 PL_j （ $m \neq j$ ）には $(1/2)V_{cc}$ あるいは $(1/3)V_{cc}$ の電圧を印加した状態で、プレート線 PL_m を駆動する。ここで、 V_{cc} は、例えば、電

源電圧である。これによって、相補的なデータが、対となったメモリセル MC_{1n} , MC_{2n} から選択用トランジスタ TR_1 , TR_2 を介して対となったビット線 BL_1 , BL_2 に電圧（ビット線電位）として現れる。そして、かかる対となったビット線 BL_1 , BL_2 の電圧（ビット線電位）を、センスアンプ SA で検出する。

- 5 対となった不揮発性メモリにおける一对の選択用トランジスタ TR_1 及び TR_2 は、ワード線 WL 、及び、対となったビット線 BL_1 , BL_2 によって囲まれた領域を占めている。従って、仮に、ワード線及びビット線が最短ピッチで配置されたとすると、対となった不揮発性メモリにおける一对の選択用トランジスタ TR_1 及び TR_2 の最小面積は、 $8F^2$ である。しかしながら、一对の選択用トランジスタ TR_1 , TR_2 を、 M 組の対となったメモリセル MC_{1n} , MC_{2n} ($n=1, 2, \dots, M$) で共有するが故に、1ビット当たりの選択用トランジスタ TR_1 , TR_2 の数が少なく済み、また、ワード線 WL の配置も緩やかなので、不揮発性メモリの縮小化を図り易い。しかも、周辺回路についても、1本のワード線デコーダ/ドライバ WD と M 本のプレート線デコーダ/ドライバ PD で M ビットを選択することができる。従って、このような構成を採用することで、セル面積が $8F^2$ に近いレイアウトを実現可能であり、 $DRAM$ 並のチップサイズを実現することができる。
- 10
15

特開平9-121032号公報に開示された不揮発性メモリの面積を縮小する手法は、非常に効果的な手法であるが、以下に述べる問題点を有する。

- 即ち、例えば、対となったメモリセル MC_{11} , MC_{21} において、メモリセル MC_{11} にデータ「1」を書き込む場合、プレート線 PL_1 をグラウンドレベル（0ボルト）とし、ビット線 BL_1 を V_{cc} とすることによって、強誘電体層を分極させるが、このとき、メモリセル MC_{21} にデータ「0」を保持しておくために、ビット線 BL_2 をグラウンドレベル（0ボルト）とする必要がある。
- 20

- 一方、非選択のプレート線 PL_n ($n=2, 3, 4$) に接続されたメモリセル MC_{1n} , MC_{2n} ($n=2, 3, 4$) に記憶されたデータの破壊を防止するために、非選択のプレート線 PL_n ($n=2, 3, 4$) を、ビット線 BL_1 , BL_2 の中間の電
- 25

圧である $(1/2) V_{cc}$ あるいは $(1/3) V_{cc}$ に固定し、非選択のメモリセル MC_{1m} , MC_{2m} を構成する強誘電体層に加わる電界を緩和する。即ち、非選択のメモリセル MC_{1m} , MC_{2m} には、 $(1/2) V_{cc}$ あるいは $(1/3) V_{cc}$ のディスタープが加わる。ここで、ディスタープとは、非選択のメモリセルを構成する強誘電体層に対して、分極が反転する方向に、即ち、保存されていたデータが劣化若しくは破壊される方向に、電界が加わる現象を指す。1つのメモリセルに加わるディスタープの回数は、不揮発性メモリがM個のメモリセルから構成されている場合、 $(M-1)$ 回である。従って、 $(M-1)$ 回のディスタープを受けた後にも、メモリセルは充分なる信号量（蓄積電荷）を保持していることが必要とされる。

しかしながら、米国特許第 4 8 7 3 6 6 4 号に開示された不揮発性メモリに代表される従来の不揮発性メモリにおいては、メモリセルがディスタープを受けることが無いため、強誘電体材料に要求される特性としてのディスタープ耐性は考慮されていない。それ故、従来の不揮発性メモリにおいて使用される強誘電体材料、例えば P Z T、をそのままディスタープを受ける構造の不揮発性メモリに適用した場合、充分なるディスタープ耐性が得られないといった問題がある。

従って、本発明の目的は、本質的にディスタープを受ける構造を有する強誘電体型不揮発性半導体メモリにおける強誘電体層を構成する強誘電体材料の組成を最適化し、高いディスタープ耐性を有する強誘電体型不揮発性半導体メモリを提供することにある。

発明の開示

上記の目的を達成するための本発明の第 1 の態様に係る強誘電体型不揮発性半導体メモリは、

(A) ビット線と、

(B) 選択用トランジスタと、

(C) M 個（但し、 $M \geq 2$ ）のメモリセルから構成されたメモリユニットと、

(D) M本のプレート線、
から成り、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

メモリユニットにおいて、メモリセルの第1の電極は共通であり、該共通の第
5 1の電極は、選択用トランジスタを介してビット線に接続され、

メモリユニットにおいて、第m番目（但し、 $m=1, 2, \dots, M$ ）のメモリ
セルの第2の電極は、第m番目のプレート線に接続されており、

各メモリセルを構成する強誘電体層は、チタン酸ジルコン酸鉛 $[Pb(Zr_x, Ti_y)O_3]$ から成り、

10 該チタン酸ジルコン酸鉛の組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足
することを特徴とする。

上記の目的を達成するための本発明の第2の態様に係る強誘電体型不揮発性半
導体メモリは、

(A) ビット線と、

15 (B) 選択用トランジスタと、

(C) それぞれがM個（但し、 $M \geq 2$ ）のメモリセルから構成された、N個（但
し、 $N \geq 2$ ）のメモリユニットと、

(D) $M \times N$ 本のプレート線、
から成り、

20 N個のメモリユニットは、層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、該共通の
第1の電極は、選択用トランジスタを介してビット線に接続され、

第n層目（但し、 $n=1, 2, \dots, N$ ）のメモリユニットにおいて、第m番
25 目（但し、 $m=1, 2, \dots, M$ ）のメモリセルの第2の電極は、第 $[(n-1)M + m]$ 番目のプレート線に接続されており、

各メモリセルを構成する強誘電体層は、チタン酸ジルコン酸鉛 $[Pb(Zr_x, Ti_y)O_3]$ から成り、

該チタン酸ジルコン酸鉛の組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足することを特徴とする。

5 上記の目的を達成するための本発明の第3の態様に係る強誘電体型不揮発性半導体メモリは、

(A) ビット線と、

(B) N個（但し、 $N \geq 2$ ）の選択用トランジスタと、

(C) それぞれがM個（但し、 $M \geq 2$ ）のメモリセルから構成された、N個の

10 メモリユニットと、

(D) M本のプレート線、

から成り、

N個のメモリユニットは、層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

15 各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

第n層目（但し、 $n = 1, 2, \dots, N$ ）のメモリユニットにおける共通の第1の電極は、第n番目の選択用トランジスタを介してビット線に接続され、

第n層目のメモリユニットにおいて、第m番目（但し、 $m = 1, 2, \dots, M$ ）のメモリセルの第2の電極は、メモリユニット間で共通とされた第m番目のプレ

20 ート線に接続されており、

各メモリセルを構成する強誘電体層は、チタン酸ジルコン酸鉛 $[Pb(Zr_x, Ti_y)O_3]$ から成り、

該チタン酸ジルコン酸鉛の組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足することを特徴とする。

25 上記の目的を達成するための本発明の第4の態様に係る強誘電体型不揮発性半導体メモリは、

(A) N本 (但し、 $N \geq 2$) のビット線と、
(B) N個の選択用トランジスタと、
(C) それぞれがM個 (但し、 $M \geq 2$) のメモリセルから構成された、N個のメモリユニットと、

5 (D) M本のプレート線、
から成り、

N個のメモリユニットは、層間絶縁層を介して積層されており、
各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、
各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

10 第n層目 (但し、 $n = 1, 2, \dots, N$) のメモリユニットにおける共通の第1の電極は、第n番目の選択用トランジスタを介して第n番目のビット線に接続され、

第n層目のメモリユニットにおいて、第m番目 (但し、 $m = 1, 2, \dots, M$) のメモリセルの第2の電極は、メモリユニット間で共通とされた第m番目のプレート線に接続されており、

15 各メモリセルを構成する強誘電体層は、チタン酸ジルコン酸鉛 [$\text{Pb}(\text{Zr}_x, \text{Ti}_y)\text{O}_3$] から成り、

該チタン酸ジルコン酸鉛の組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足することを特徴とする。

20 本発明の第1の態様～第4の態様に係る強誘電体型不揮発性半導体メモリ (以下、これらを総称して、単に、本発明の不揮発性メモリと呼ぶ場合がある) においては、ペロブスカイト型構造を有する、チタン酸鉛 [PbTiO_3] とジルコン酸鉛 [PbZrO_3] の固溶体であるチタン酸ジルコン酸鉛 (以下、PZTと略称する場合がある) の組成が $0.6 < Y / (X + Y) \leq 0.9$ を満足することによって、強誘電体層は、充分なる大きさの抗電界と、角形性の良いP-E (V) ヒステリシスループと、充分なる大きさの残留分極士 P_r とを有することができる結果、

25

メモリセルのディスタープ耐性が向上する。尚、一層のディスタープ耐性の向上、リーク電流の増加や絶縁耐圧の劣化防止といった観点からは、 $0.7 \leq Y/(X+Y) \leq 0.85$ を満足することが好ましい。 $Y/(X+Y) \leq 0.6$ では、優れたディスタープ耐性を得ることができない。一方、 $0.9 < Y/(X+Y)$ の場合、リーク電流の増加や絶縁耐圧が劣化する。

PZTの組成が $0.6 < Y/(X+Y) \leq 0.9$ を満足しているか否かは、例えば、蛍光X線分析法やEPMA (Electron Probe Micro Analysis) 法といった物理的分析法、ICP (Inductively Coupled Plasma) 法や一般的な化学分析といった化学的分析法にて調べることができる。

- 10 本発明の第2の態様～第4の態様に係る不揮発性メモリにおいては、複数のメモリセルに1つの選択用トランジスタを共有させ、しかも、メモリユニットを三次元積層構造とすることにより、半導体基板表面を占有するトランジスタの数に制約されることが無くなり、従来の強誘電体型不揮発性半導体メモリに比べて飛躍的に記憶容量を増大させることができ、ビット記憶単位の実効占有面積を大幅
- 15 に縮小することが可能となる。尚、ロー方向のアドレス選択は選択用トランジスタとプレート線とによって構成された二次元マトリクスにて行う。例えば、8個の選択用トランジスタとプレート線8本とでロー・アドレスの選択単位を構成すれば、16個のデコーダ/ドライバ回路で、例えば、64ビットのメモリセルを選択することができる。従って、強誘電体型不揮発性半導体メモリの集積度が従
- 20 来と同等でも、記憶容量は4倍とすることができる。また、アドレス選択における周辺回路や駆動配線数を削減することができる。

- 本発明の不揮発性メモリにおいては、 $M \geq 2$ を満足すればよく、実際的なMの値として、例えば、2のべき数(2, 4, 8, 16...)を挙げることができる。また、本発明の第2の態様～第4の態様に係る不揮発性メモリにあっては、
- 25 $N \geq 2$ を満足すればよく、実際的なNの値として、例えば、2のべき数(2, 4, 8...)を挙げることができる。

本発明におけるPZTには、PZTにランタン(La)を添加した金属酸化物であるPLZT[(Pb, La)(Zr_x, Ti_y)O₃]、あるいはPZTにニオブ(Nb)を添加した金属酸化物であるPNZT[(Pb, Nb)(Zr_x, Ti_y)O₃]、PZTにカルシウム(Ca)を添加した金属酸化物であるPCZT[(Pb, Ca)(Zr_x, Ti_y)O₃]、PZTにストロンチウム(Sr)を添加した金属酸化物であるPSZT[(Pb, Sr)(Zr_x, Ti_y)O₃]、これらの混合物が包含される。これらのPLZTやPNZT、PCZT、PSZT、これらの混合物においても、組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足すればよい。

強誘電体層を得るためには、強誘電体薄膜を形成した後の工程において、強誘電体薄膜をパターニングすればよい。場合によっては、強誘電体薄膜のパターニングは不要である。強誘電体薄膜の形成は、例えば、マグネトロンスパッタ法や反応性スパッタ法といったスパッタ法；パルスレーザアブレーション法；電子ビーム蒸着法；スプレー塗布法、スピコート法といった溶液化学法（ゾルゲル法）；MOCVD法；LSMCD (Liquid Source Mist Chemical Deposition) 法にて行うことができる。強誘電体薄膜のパターニングは、例えば異方性イオンエッチング(RIE)法にて行うことができる。

強誘電体層を構成するPZTの結晶配向は、単一配向であることが望ましく、特に、(111)単一配向であることが好ましい。 $0.6 < Y / (X + Y) \leq 0.9$ を満足するPZTは、所謂TiリッチなPZTであり、このようなPZTの結晶構造は正方晶系である。PZTの結晶配向がほぼ(111)単一配向であれば、優れたスイッチング特性を得ることができ、その結果、優れたディスタープ耐性を得ることができる。

また、強誘電体層を構成するPZTの結晶の密度は、 6750 kg/m^3 (6.75 g/cm^3) 乃至 8000 kg/m^3 (8.0 g/cm^3) であることが、高い信頼性を有する強誘電体層を得るといった観点から好ましい。

本発明においては、強誘電体層の下に第1の電極を形成し、強誘電体層の上に

第2の電極を形成する構成（即ち、第1の電極は下部電極に相当し、第2の電極は上部電極に相当する）とすることもできるし、強誘電体層の上に第1の電極を形成し、強誘電体層の下に第2の電極を形成する構成（即ち、第1の電極は上部電極に相当し、第2の電極は下部電極に相当する）とすることもできる。プレート線は、第2の電極から延在している構成とすることもできるし、第2の電極とは別途に形成され、第2の電極と接続された構成とすることもできる。後者の場合、プレート線を構成する配線材料として、例えばアルミニウムやアルミニウム系合金を例示することができる。

第1の電極が共通である構造として、具体的には、ストライプ状の第1の電極を形成し、かかるストライプ状の第1の電極の全面を覆うように強誘電体層を形成する構成を挙げることができる。尚、このような構造においては、第1の電極と強誘電体層と第2の電極の重複領域がメモリセルに相当する。第1の電極が共通である構造として、その他、第1の電極の所定の領域に、それぞれの強誘電体層が形成され、強誘電体層上に第2の電極が形成された構造、あるいは又、配線層の所定の表面領域に、それぞれの第1の電極が形成され、かかるそれぞれの第1の電極上に強誘電体層が形成され、強誘電体層上に第2の電極が形成された構造を挙げることができるが、これらの構成に限定するものではない。

本発明において、第1の電極及び第2の電極は、白金族から選択された少なくとも1種類の金属、あるいは、その酸化物から構成され、あるいは又、ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスミウム (Os)、イリジウム (Ir)、白金 (Pt) 及びレニウム (Re) から成る群から選択された少なくとも1種類の金属、あるいは、その酸化物から構成されていることが望ましく、具体的には、例えば、Ir、 IrO_{2-x} 、 $\text{IrO}_{2-x}/\text{Ir}$ 、 $\text{Ir}/\text{IrO}_{2-x}$ 、 SrIrO_3 、Ru、 RuO_{2-x} 、 SrRuO_3 、Pt、 $\text{Pt}/\text{IrO}_{2-x}$ 、 $\text{Pt}/\text{RuO}_{2-x}$ 、Pd、 Pt/Ti の積層構造、 Pt/Ta の積層構造、 $\text{Pt}/\text{Ti}/\text{Ta}$ の積層構造を例示することができ、あるいは又、 $\text{La}_{0.5}\text{Sr}_{0.5}\text{CoO}_3$ (LSCO)、Pt

／LSCOの積層構造、 $\text{YBa}_2\text{Cu}_3\text{O}_7$ を挙げることができる。ここで、Xの値は、 $0 \leq X < 2$ である。尚、積層構造においては、「／」の後ろに記載された材料が強誘電体層と接する。第1の電極と第2の電極は、同じ材料から構成されていてもよいし、同種の材料から構成されていてもよいし、異種の材料から構成されていてもよい。第1の電極あるいは第2の電極を形成するためには、第1の電極材料層あるいは第2の電極材料層を形成した後の工程において、第1の電極材料層あるいは第2の電極材料層をパターンニングすればよい。第1の電極材料層あるいは第2の電極材料層の形成は、例えばスパッタ法、反応性スパッタ法、電子ビーム蒸着法、MOCVD法、あるいはパルスレーザアブレーション法といった第1の電極材料層や第2の電極材料層を構成する材料に適宜適した方法にて行うことができる。また、第1の電極材料層や第2の電極材料層のパターンニングは、例えばイオンミリング法やRIE法にて行うことができる。

本発明の不揮発性メモリにおいて、強誘電体層の下に第1の電極を形成し、強誘電体層の上に第2の電極を形成する構成の場合、メモリセルを構成する第1の電極は、所謂ダマシン構造を有しており、強誘電体層の上に第1の電極を形成し、強誘電体層の下に第2の電極を形成する構成の場合、メモリセルを構成する第2の電極は、所謂ダマシン構造を有していることが、強誘電体層を平坦な下地上に形成することができるといった観点から好ましい。

本発明において、層間絶縁層を構成する材料として、酸化シリコン(SiO_2)、窒化シリコン(SiN)、 SiON 、SOG、NSG、BPSG、PSG、BSGあるいはLTOを例示することができる。

メモリセルの下方の半導体基板に絶縁層を介して形成された選択用トランジスタ(スイッチング用トランジスタ)や各種のトランジスタは、例えば、周知のMIS型FETやMOS型FETから構成することができる。ビット線を構成する材料として、不純物がドーピングされたポリシリコンや高融点金属材料を挙げることができる。共通の第1の電極と選択用トランジスタとの電気的な接続は、共

通の第1の電極と選択用トランジスタとの間に形成された絶縁層に設けられた接続孔（コンタクトホール）を介して、あるいは又、かかる絶縁層に設けられた接続孔（コンタクトホール）及び絶縁層上に形成された配線層を介して行うことができる。尚、絶縁層を構成する材料として、酸化シリコン（ SiO_2 ）、窒化シリコン（ SiN ）、 SiON 、 SOG 、 NSG 、 BPSG 、 PSG 、 BSG あるいは LTO を例示することができる。

本発明の第1の態様～第4の態様に係る不揮発性メモリにおいて、実用的には、かかる不揮発性メモリを一对とし（便宜上、不揮発性メモリーA、不揮発性メモリーBと呼ぶ）、一对の不揮発性メモリを構成するビット線は、同一のセンスアン
10 プに接続されている構成とすることができる。そして、この場合、不揮発性メモリーAを構成する選択用トランジスタと、不揮発性メモリーBを構成する選択用トランジスタとは、同一のワード線に接続されていてもよいし、異なるワード線に接続されていてもよい。不揮発性メモリーA及び不揮発性メモリーBの構成及び動方法に依り、不揮発性メモリーAと不揮発性メモリーBとを構成するそれぞ
15 れのメモリセルに1ビットを記憶させることもできるし、不揮発性メモリーAを構成するメモリセルの1つと、このメモリセルと同じプレート線に接続された不揮発性メモリーBを構成するメモリセルの1つとを対として、これらの対となったメモリセルに相補的なデータを記憶させることもできる。

20 図面の簡単な説明

図1は、実施例1の強誘電体型不揮発性半導体メモリをビット線の延びる方向と平行な仮想垂直面で切断したときの模式的な一部断面図である。

図2の（A）及び（B）は、本発明の第2の態様に係る不揮発性メモリの概念的な回路図である。

25 図3は、図2の（A）に示す概念的な回路図のより具体的な回路図である。

図4は、図2の（B）に示す概念的な回路図のより具体的な回路図である。

図 5 は、実施例 1 における各種強誘電体型不揮発性半導体メモリサンプルのディスタブ耐性を評価した結果を示すグラフである。

図 6 は、実施例 1 における各種強誘電体型不揮発性半導体メモリサンプルの比誘電率を測定した結果を示すグラフである。

5 図 7 は、実施例 1 における各種強誘電体型不揮発性半導体メモリサンプルのリーク電流密度を測定した結果を示すグラフである。

図 8 は、実施例 2 の強誘電体型不揮発性半導体メモリを含む半導体装置をビット線の延びる方向と平行な仮想垂直面で切断したときの模式的な一部断面図である。

10 図 9 の (A) 及び (B) は、本発明の第 3 の態様に係る不揮発性メモリの概念的な回路図である。

図 10 は、図 9 の (A) に示す概念的な回路図のより具体的な回路図である。

図 11 は、図 9 の (B) に示す概念的な回路図のより具体的な回路図である。

15 図 12 は、実施例 3 の強誘電体型不揮発性半導体メモリを含む半導体装置をビット線の延びる方向と平行な仮想垂直面で切断したときの模式的な一部断面図である。

図 13 の (A) 及び (B) は、本発明の第 4 の態様に係る不揮発性メモリの概念的な回路図である。

20 図 14 は、図 13 の (A) 及び (B) に示す概念的な回路図のより具体的な回路図である。

図 15 は、実施例 2 にて説明した強誘電体型不揮発性半導体メモリの変形例を示す模式的な一部断面図である。

図 16 は、図 15 に示す強誘電体型不揮発性半導体メモリの回路図である。

図 17 は、ゲインセル型の強誘電体型不揮発性半導体メモリの回路図である。

25 図 18 は、図 17 に示した強誘電体型不揮発性半導体メモリにおけるレイアウト図である。

図 19 は、図 17 に示した強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

図 20 は、図 17 に示した強誘電体型不揮発性半導体メモリの、図 19 とは異なる断面で見たときの模式的な一部断面図である。

- 5 図 21 は、検出用トランジスタの一端が接続された配線の所定の電位を 0 ボルトとした場合の、ビット線間に配設された一種のスイッチ回路を示す回路図である。

図 22 は、実施例 2 の強誘電体型不揮発性半導体メモリの別の変形例の模式的な一部断面図である。

- 10 図 23 は、強誘電体の P-E (V) ヒステリシスループ図である。

図 24 は、米国特許第 4 8 7 3 6 6 4 号に開示された強誘電体型不揮発性半導体メモリの回路図である。

図 25 は、特開平 9-121032 号公報に開示された強誘電体型不揮発性半導体メモリの回路図である。

15

発明を実施するための最良の形態

以下、図面を参照して、実施例に基づき本発明を説明する。

(実施例 1)

- 実施例 1 は、本発明の第 1 の態様及び第 2 の態様に係る強誘電体型不揮発性半
20 導体メモリ（以下、不揮発性メモリと略称する）に関する。ビット線の延びる方向と平行な仮想垂直面で実施例 1 の不揮発性メモリを切断したときの模式的な一部断面図を図 1 に示す。更には、本発明の第 2 の態様に係る不揮発性メモリの概念的な回路図を図 2 の (A) 及び (B) に示し、図 2 の (A) の概念的な回路図のより具体的な回路図を図 3 に示し、図 2 の (B) の概念的な回路図のより具体的
25 的な回路図を図 4 に示す。尚、図 3 及び図 4 には、2 つの不揮発性メモリ M_1 、 M_2 を図示するが、これらの不揮発性メモリ M_1 、 M_2 の構造は同一であり、以下におい

ては、不揮発性メモリ M_1 に関する説明を行う。

実施例1の不揮発性メモリ M_1 は、

(A) ビット線 BL_1 と、

(B) 選択用トランジスタ TR_1 と、

- 5 (C) M' 個 (但し、 $M' \geq 2$ であり、実施例1においては、 $M' = 8$) のメモリセル $MC_{111} \sim MC_{114}$, $MC_{121} \sim MC_{124}$ から構成されたメモリユニット MU_{11} , MU_{12} と、

(D) M' 本のプレート線、

から成る。

- 10 そして、各メモリセルは、第1の電極21, 31と強誘電体層22, 32と第2の電極23, 33とから成り、メモリユニットにおいて、メモリセルの第1の電極21, 31は共通であり、該共通の第1の電極21, 31は、選択用トランジスタ TR_1 を介してビット線 BL_1 に接続され、メモリユニットにおいて、第 m' 番目 (但し、 $m' = 1, 2 \dots, M'$) のメモリセルの第2の電極23, 33は、
- 15 第 m' 番目のプレート線に接続されている。

あるいは又、実施例1の不揮発性メモリ M_1 は、

(A) ビット線 BL_1 と、

(B) 選択用トランジスタ TR_1 と、

- (C) それぞれが M 個 (但し、 $M \geq 2$ であり、実施例1においては、 $M = 4$) のメモリセル MC_{1NM} から構成された、 N 個 (但し、 $N \geq 2$ であり、実施例1においては、 $N = 2$) のメモリユニット MU_{1N} と、
- 20

(D) $M \times N$ 本のプレート線、

から成る。

- そして、 N 個のメモリユニット MU_{1N} は、層間絶縁層26を介して積層されており、各メモリセルは、第1の電極21, 31と強誘電体層22, 32と第2の電極23, 33とから成り、各メモリユニット MU_{1N} において、メモリセル MC_{1NM}
- 25

の第1の電極は共通であり、該共通の第1の電極は、選択用トランジスタ TR_1 を介してビット線 BL_1 に接続されている。具体的には、メモリユニット MU_{11} において、メモリセル MC_{11M} の第1の電極21は共通であり（この共通の第1の電極を第1の共通ノード CN_{11} と呼ぶ）、共通の第1の電極21（第1の共通ノード CN_{11} ）は、選択用トランジスタ TR_1 を介してビット線 BL_1 に接続されている。また、メモリユニット MU_{12} において、メモリセル MC_{12M} の第1の電極31は共通であり（この共通の第1の電極を第2の共通ノード CN_{12} と呼ぶ）、共通の第1の電極31（第2の共通ノード CN_{12} ）は、選択用トランジスタ TR_1 を介してビット線 BL_1 に接続されている。一般には、第 n 層目（但し、 $n=1, 2, \dots, N$ ）のメモリユニット MU_{1n} において、第 m 番目（但し、 $m=1, 2, \dots, M$ ）のメモリセル MC_{1nm} の第2の電極23, 33は、第 $[(n-1)M+m]$ 番目のプレート線 $PL_{(n-1)M+m}$ に接続されている。尚、このプレート線 $PL_{(n-1)M+m}$ は、不揮発性メモリ M_2 を構成する各メモリセルの第2の電極23, 33にも接続されている。実施例1においては、より具体的には、各プレート線は、第2の電極23, 33から延在しており、図示しない領域で接続されている。

そして、各メモリセルを構成する強誘電体層22, 32は、チタン酸ジルコン酸鉛 $[Pb(Zr_x, Ti_y)O_3]$ から成り、チタン酸ジルコン酸鉛の組成は、 $0.6 < Y/(X+Y) \leq 0.9$ を満足する。

選択用トランジスタ TR_1 の一方のソース／ドレイン領域14Aはビット線 BL_1 に接続され、選択用トランジスタ TR_1 の他方のソース／ドレイン領域14Bは、絶縁層16に設けられた第1層目の接続孔17を介して、第1層目のメモリユニット MU_{11} における共通の第1の電極21（第1の共通ノード CN_{11} ）に接続されている。更には、選択用トランジスタ TR_1 の他方のソース／ドレイン領域14Bは、絶縁層16に設けられた第1層目の接続孔17、及び、層間絶縁層26に設けられた第2層目の接続孔27を介して、第2層目のメモリユニット MU_{12} における共通の第1の電極31（第2の共通ノード CN_{12} ）に接続されている。尚、図1

中、参照番号 36A は絶縁膜である。

ビット線 BL_1 は、センスアンプ SA に接続されている。また、プレート線 $PL_{(n-1)M+n}$ はプレート線デコーダ／ドライバ PD に接続されている。更には、ワード線 WL (あるいはワード線 WL_1, WL_2) は、ワード線デコーダ／ドライバ WD に接続されている。ワード線 WL は、図 1 の紙面垂直方向に延びている。また、不揮発性メモリ M_1 を構成するメモリセル MC_{11m} の第 2 の電極 23 は、図 1 の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{21m} の第 2 の電極と共通であり、プレート線 $PL_{(n-1)M+n}$ を兼ねている。更には、不揮発性メモリ M_1 を構成するメモリセル MC_{12m} の第 2 の電極 33 は、図 1 の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{22m} の第 2 の電極と共通であり、プレート線 $PL_{(n-1)M+n}$ を兼ねている。また、ワード線 WL は、不揮発性メモリ M_1 を構成する選択用トランジスタ TR_1 と、図 1 の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成する選択用トランジスタ TR_2 とで共通である。

図 2 の (A) 及び図 3 に回路図を示す不揮発性メモリ M_1, M_2 において、不揮発性メモリ M_1, M_2 を構成する選択用トランジスタ TR_1, TR_2 は同じワード線 WL に接続されている。そして、対となったメモリセル MC_{1nm}, MC_{2nm} ($n = 1, 2 \dots, N$ 、及び、 $m = 1, 2 \dots, M$) に相補的なデータが記憶される。例えば、メモリセル MC_{1nm}, MC_{2nm} (ここで、 m は 1, 2, 3, 4 のいずれか) に記憶されたデータを読み出す場合、ワード線 WL を選択し、プレート線 PL_j ($m \neq j$) には、例えば $(1/3)V_{cc}$ の電圧を印加した状態で、プレート線 $PL_{(n-1)M+n}$ を駆動する。ここで、 V_{cc} は、例えば、電源電圧である。これによって、相補的なデータが、対となったメモリセル MC_{1nm}, MC_{2nm} から選択用トランジスタ TR_1, TR_2 を介して対となったビット線 BL_1, BL_2 に電圧 (ビット線電位) として現れる。そして、かかる対となったビット線 BL_1, BL_2 の電圧 (ビット線電位) を、センスアンプ SA で検出する。尚、不揮発性メモリ M_1, M_2 を構成する選択用トランジスタ TR_1, TR_2 を、それぞれ、異なるワード線 WL_1, WL_2 に接続し、メモリセル $MC_{1nm},$

MC_{2nm} を独立して制御し、対となったビット線 BL_1 , BL_2 の一方に参照電圧を印加することによって、メモリセル MC_{1nm} , MC_{2nm} のそれぞれからデータを読み出すこともできる。このような構成を採用する場合の回路図は、図2の(B)及び図4を参照のこと。尚、選択用トランジスタ TR_1 , TR_2 を同時に駆動すれば、図2の(A)及び図3に示した回路と等価となる。このように、各メモリセル MC_{1nm} , MC_{2nm} ($n=1, 2$ であり、 $m=1, 2, 3, 4$)のそれぞれに1ビットがデータとして記憶され(図2の(B)及び図4参照)、あるいは又、対となったメモリセル MC_{1nm} , MC_{2nm} に相補的なデータが1ビットとして記憶される(図2の(A)及び図3参照)。実際の不揮発性メモリにおいては、この16ビットあるいは8ビットを記憶するメモリユニットの集合がアクセス単位ユニットとしてアレイ状に配設されている。尚、 M の値は4に限定されない。 M の値は、 $M \geq 2$ を満足すればよく、実際的な M の値として、例えば、2のべき数(2, 4, 8, 16...)を挙げることができる。また、 N の値は、 $N \geq 2$ を満足すればよく、実際的な N の値として、例えば、2のべき数(2, 4, 8...)を挙げることができる。

以下、実施例1の不揮発性メモリの製造方法の概要を説明する。尚、他の実施例における不揮発性メモリも実質的に同様の工程にて製造することができる。

[工程-100]

先ず、不揮発性メモリにおける選択用トランジスタを構成するトランジスタとして機能するMOS型トランジスタを半導体基板10に形成する。そのために、例えばLOCOS構造を有する素子分離領域11を公知の方法に基づき形成する。尚、素子分離領域は、トレンチ構造を有していてもよいし、LOCOS構造とトレンチ構造の組合せとしてもよい。その後、半導体基板10の表面を例えばパロジェニック法により酸化し、ゲート絶縁膜12を形成する。次いで、不純物がドーピングされたポリシリコン層をCVD法にて全面に形成した後、ポリシリコン層をパターニングし、ゲート電極13を形成する。このゲート電極13はワード線を兼ねている。尚、ゲート電極13をポリシリコン層から構成する代わりに、

ポリサイドや金属シリサイドから構成することもできる。次に、半導体基板 10 にイオン注入を行い、LDD構造を形成する。その後、全面にCVD法にて SiO_2 層を形成した後、この SiO_2 層をエッチバックすることによって、ゲート電極 13 の側面にゲートサイドウォール（図示せず）を形成する。次いで、半導体基
5 板 10 にイオン注入を施した後、イオン注入された不純物の活性化アニール処理を行うことによって、ソース／ドレイン領域 14 A, 14 B を形成する。

【工程－110】

次いで、 SiO_2 から成る下層絶縁層をCVD法にて形成した後、一方のソース／ドレイン領域 14 A の上方の下層絶縁層に開口部をRIE法にて形成する。そ
10 して、かかる開口部内を含む下層絶縁層上に不純物がドーピングされたポリシリコン層をCVD法にて形成する。これによって、コンタクトホール 15 が形成される。次に、下層絶縁層上のポリシリコン層をパターニングすることによって、ビット線 BL_1 を形成する。その後、BPSGから成る上層絶縁層をCVD法にて全面に形成する。尚、BPSGから成る上層絶縁層の形成後、窒素ガス雰囲気中
15 で例えば $900^\circ\text{C} \times 20$ 分間、上層絶縁層をリフローさせることが好ましい。更には、必要に応じて、例えば化学的機械的研磨法（CMP法）にて上層絶縁層の頂面を化学的及び機械的に研磨し、上層絶縁層を平坦化することが望ましい。尚、下層絶縁層と上層絶縁層を纏めて、絶縁層 16 と呼ぶ。

【工程－120】

20 次に、他方のソース／ドレイン領域 14 B の上方の絶縁層 16 に開口部をRIE法にて形成した後、かかる開口部内を、不純物をドーピングしたポリシリコンで埋め込み、接続孔（コンタクトホール）17を完成させる。ビット線 BL_1 は、下層絶縁層上を、図の左右方向に接続孔 17 と接触しないように延びている。

尚、接続孔 17 は、絶縁層 16 に形成された開口部内に、例えば、タングステン、Ti、Pt、Pd、Cu、TiW、TiNW、 WSi_2 、 MoSi_2 等の高融点
25 金属や金属シリサイドから成る金属配線材料を埋め込むことによって形成するこ

ともできる。接続孔 17 の頂面は絶縁層 16 の表面と略同じ平面に存在していることが好ましい。タングステンにて開口部を埋め込み、接続孔 17 を形成する条件を、以下の表 1 に例示する。尚、タングステンにて開口部を埋め込む前に、Ti 層及び TiN 層を順に例えばマグネトロンスパッタ法にて開口部内を含む絶縁層 16 の上に形成することが好ましい。ここで、Ti 層及び TiN 層を形成する理由は、オーミックな低コンタクト抵抗を得ること、ブランケットタングステン CVD 法における半導体基板 10 の損傷発生の防止、タングステンの密着性向上のためである。

10 表 1

Ti 層 (厚さ: 20 nm) のスパッタ条件

プロセスガス: Ar = 35 sccm

圧力 : 0.52 Pa

RF パワー : 2 kW

15 基板の加熱 : 無し

TiN 層 (厚さ: 100 nm) のスパッタ条件

プロセスガス: N₂/Ar = 100/35 sccm

圧力 : 1.0 Pa

RF パワー : 6 kW

20 基板の加熱 : 無し

タングステンの CVD 形成条件

使用ガス: WF₆/H₂/Ar = 40/400/2250 sccm

圧力 : 10.7 kPa

形成温度: 450 °C

25 タングステン層及び TiN 層、Ti 層のエッチング条件

第 1 段階のエッチング: タングステン層のエッチング

使用ガス : $\text{SF}_6/\text{Ar}/\text{He} = 110 : 90 : 5 \text{ sccm}$

圧力 : 46 Pa

R F パワー : 275 W

第2段階のエッチング : TiN 層 / Ti 層のエッチング

5 使用ガス : $\text{Ar}/\text{Cl}_2 = 75 / 5 \text{ sccm}$

圧力 : 6.5 Pa

R F パワー : 250 W

[工程-130]

10 次に、絶縁層16上に、窒化チタン (TiN) から成る密着層 (図示せず) を形成することが望ましい。そして、密着層上に Ir から成る第1の電極 (下部電極) 21を構成する第1の導電材料層を、例えばスパッタ法にて形成し、第1の導電材料層及び密着層をフォトリソグラフィ技術及びドライエッチング技術に基づきパターンニングすることによって、ストライプ状の第1の電極21を得ること
15 ができる。その後、全面に、CVD法にて SiO_2 膜あるいは $\text{SiO}_2/\text{TiO}_2$ 膜 (図示せず) を形成し、CMP法にてこの膜を平坦化して、第1の電極21の間がこの膜によって埋め込まれた状態 (所謂ダマシン構造) を得ることができる。CMP法においては、アルミナを含むスラリーを研磨剤として用いればよい。

尚、絶縁層16上に例えば SiN 膜を形成し、次いで、第1の電極を形成すべき部分の SiN 膜を選択的に除去した後、 SiN 膜及び露出した絶縁層16上に
20 密着層、第1の導電材料層を形成し、その後、CMP法にて SiN 膜上の第1の導電材料層及び密着層を除去することによって、所謂ダマシン構造を有する第1の電極を形成することもできる。

[工程-140]

25 その後、PZTから成る強誘電体薄膜を全面に形成し、次いで、強誘電体薄膜をパターンニングして、強誘電体層22を形成する。

[工程－１５０]

次に、Ir層をスパッタ法にて全面に形成した後、フォトリソグラフィ技術、ドライエッチング技術に基づき、Ir層をパターンニングして、強誘電体層２２上に第２の電極２３を形成し、第２の電極２３から延びるプレート線PLを形成する。エッチングによって、強誘電体層２２にダメージが加わる場合には、ダメージ回復に必要とされる温度にて、その後、ダメージ回復アニール処理を行えばよい。

[工程－１６０]

その後、

- ・層間絶縁層２６の形成及び平坦化处理
- ・開口部の形成及び接続孔２７の形成
- ・例えば、ダマシ構造を有する第１の電極３１の形成
- ・PZTから成る強誘電体層３２の形成
- ・第２の電極３３の形成
- ・絶縁膜３６Ａの形成

を、順次、行う。

PZTから構成された強誘電体層２２，３２を、マグネトロンスパッタ法や反応性スパッタ法といったスパッタ法；パルスレーザアブレーション法；電子ビーム蒸着法；スプレー塗布法、スピンコート法といった溶液化学法（ゾルーゲル法）；MOCVD法にて形成することができる。以下の表に、マグネトロンスパッタ法、パルスレーザアブレーション法、ゾルーゲル法、MOCVD法にてPZTを形成するときの条件を例示する。

表２

[マグネトロンスパッタ法]

ターゲット：PZT（組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足する）

プロセスガス : $\text{Ar}/\text{O}_2 = 90 \text{ 体積}\% / 10 \text{ 体積}\%$

圧力 : 0.35 Pa

パワー : 2 kW

形成温度 : 室温

5

表 3

[パルスレーザーアブレーション法]

ターゲット : PZT (組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足する)

使用レーザー : KrF エキシマレーザー (波長 248 nm 、パルス幅 25 ns 、 3 Hz)

10

出力エネルギー : 400 mJ ($1.1 \text{ J}/\text{cm}^2$)

形成温度 : 室温

酸素濃度 : $40 \sim 120 \text{ Pa}$

15 表 4

[ゾルーゲル法]

ゾルーゲル溶液 : $\text{Pb}(\text{OAc})_2$ 、 $\text{Ti}(\text{O}-i-\text{Pr})_4$ 及び

$\text{Zr}(\text{O}-n-\text{Bu})_4$

2-メトキシエタノール (溶媒)

20

(組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足する)

塗布条件 : 回転数 3000 rpm

仮焼成 : $450^\circ \text{C} \times 30 \text{ 分}$

塗布回数 : 4回

結晶化温度 : 650°C

表 5

[MOCVD法]

原料 : Pb (DPM)₂/THF,
 Ti (i-OC₃H₇)₂ (DPM)₂/THF,
 Zr (DIBM)₄/THF

プロセスガス : Ar/O₂ = 70/30

圧力 : 2.7×10^3 Pa

形成温度 : 550° C

- 10 表 4 に示した条件にて、(X, Y) = (52, 48)、(X, Y) = (40, 60)、
 (X, Y) = (30, 70)、(X, Y) = (20, 80)、(X, Y) = (10, 90) の PZT 組成を有する強誘電体層を備えた不揮発性メモリサンプルを作製した。また、参考のため、ゾルーゲル法にて SBT (SrBi₂Ta₂O₉) から成る強誘電体層を備えた不揮発性メモリサンプルを作製した。尚、PZT の結晶化温度を 650° C とし、SBT の結晶化温度を 750° C とした。

こうして得られた各種不揮発性メモリサンプルのディスタープ耐性を評価した。その結果を、図 5 に示す。尚、図 5 において、(1) は (X, Y) = (52, 48) におけるデータであり、(2) は (X, Y) = (40, 60) におけるデータであり、(3) は (X, Y) = (30, 70) におけるデータであり、(4) は (X, Y) = (20, 80) におけるデータであり、(5) は (X, Y) = (10, 90) におけるデータであり、(6) は SBT (SrBi₂Ta₂O₉) から成る強誘電体層を備えた不揮発性メモリサンプルにおけるデータである。

評価は、V_{cc} = 3 ボルトとして、メモリセルへの 1 回のデータ書き込みを行い、次いで、(1/3) V_{cc} = 1 ボルトのディスタープパルス (パルス幅 100 ナノ秒) を所定の回数、印加した後に、かかるメモリセルからのデータ読み出しを行い、ビット線に現れた電位 V_i を測定することで行った。尚、図 5 において、横軸はデ

ィスタープ回数である。また、縦軸は、メモリセルへの1回のデータ書き込みを行った直後にディスタープを受けていない状態でかかるメモリセルからのデータ読み出しを行い、このときビット線に現れた電位を V_0 としたとき、 V_1 を V_0 にて規格化した値、即ち、 V_1/V_0 の値（規格化ビット線信号量）を示す。

- 5 従来の不揮発性メモリにおいて用いられているP Z T組成である(1) [(X, Y) = (52, 48)]、あるいは、(6) [強誘電体層がS B Tから成る]の場合、10回程度のディスタープを受けることによって、 V_1/V_0 の値は大幅に減少する。また、実用的なMの値は、8、16程度であるが故に、ディスタープの回数は、7回あるいは15回である。従って、(2) [(X, Y) = (40, 60)]の場合
- 10 も、充分なるディスタープ耐性を有しているとは云い難い。これに対して、 $0.6 < Y/(X+Y) \leq 0.9$ を満足する場合、高いディスタープ耐性を有することが判る。

- 実施例1のような構造を有する不揮発性メモリにおいては、強誘電体層の比誘電率 ϵ の値は低い方が、S/N比の向上といった観点から好ましい。横軸を $Y/(X+Y)$ の値、縦軸を比誘電率 ϵ としたときの、 $Y/(X+Y)$ の値と比誘電率 ϵ の関係を測定した結果を図6に示す。更には、横軸を $Y/(X+Y)$ の値、縦軸をリーク電流密度（但し、ディスタープを50回受けた後の値）としたときの、 $Y/(X+Y)$ の値とリーク電流密度の関係を測定した結果を図7に示す。図6から、 $Y/(X+Y)$ の値が0.5以上の場合、 $Y/(X+Y)$ の値が増加するに従い、比誘電率 ϵ の値が減少していくことが判る。また、図7から、 $Y/(X+Y)$ の値が0.9を越えると、リーク電流密度が急激に増加することが判る。以上の結果からも、 $0.6 < Y/(X+Y) \leq 0.9$ を満足する必要があることが判る。

(実施例2)

- 25 実施例2は、本発明の第1の態様及び第3の態様に係る不揮発性メモリに関する。ビット線の延びる方向と平行な仮想垂直面で実施例2の不揮発性メモリを切

断したときの模式的な一部断面図を図 8 に示す。更には、本発明の第 3 の態様に係る不揮発性メモリの概念的な回路図を図 9 の (A) 及び (B) に示し、図 9 の (A) の概念的な回路図のより具体的な回路図を図 10 に示し、図 9 の (B) の概念的な回路図のより具体的な回路図を図 11 に示す。尚、図 10 及び図 11 に

5 は、2 つの不揮発性メモリ M_1 , M_2 を図示するが、これらの不揮発性メモリ M_1 , M_2 の構造は同一であり、以下においては、不揮発性メモリ M_1 についての説明を行う。

実施例 2 の不揮発性メモリ M_1 は、

(A) ビット線 BL_1 と、

10 (B) N 個 (但し、 $N \geq 2$ であり、実施例 2 においては、 $N = 2$) の選択用トランジスタ TR_{1N} と、

(C) それぞれが M 個 (但し、 $M \geq 2$ であり、実施例 2 においては、 $M = 4$) のメモリセル MC_{1m} から構成された、 N 個のメモリユニット MU_{1N} と、

(D) M 本のプレート線 PL_m 、

15 から成る。

そして、 N 個のメモリユニット MU_{1N} は、層間絶縁層 26 を介して積層されている。各メモリセルは、第 1 の電極と強誘電体層と第 2 の電極とから成る。具体的には、第 1 層目のメモリユニット MU_{11} を構成する各メモリセル MC_{11m} は、第 1 の電極 21 と強誘電体層 22 と第 2 の電極 23 とから成り、第 2 層目のメモリユニット MU_{12} を構成する各メモリセル MC_{12m} は、第 1 の電極 31 と強誘電体層 32 と第 2 の電極 33 とから成る。更には、各メモリユニット MU_{1n} において、メモリセル MC_{1nm} の第 1 の電極 21, 31 は共通である。具体的には、第 1 層目のメモリユニット MU_{11} において、メモリセル MC_{11m} の第 1 の電極 21 は共通である。この共通の第 1 の電極 21 を第 1 の共通ノード CN_{11} と呼ぶ場合がある。また、第 2 層

20 目のメモリユニット MU_{12} において、メモリセル MC_{12m} の第 1 の電極 31 は共通である。この共通の第 1 の電極 31 を第 2 の共通ノード CN_{12} と呼ぶ場合がある。一

25

般には、第 n 層目（但し、 $n=1, 2, \dots, N$ ）のメモリユニット MU_{1n} において、第 m 番目（但し、 $m=1, 2, \dots, M$ ）のメモリセルの第2の電極23, 33は、メモリユニット MU_{1n} 間で共通とされた第 m 番目のプレート線 PL_m に接続されている。実施例2においては、より具体的には、各プレート線は、第2の電極23, 33から延在しており、図示しない領域で接続されている。

そして、各メモリセル MC_{1nm} を構成する強誘電体層22, 32は、チタン酸ジルコン酸鉛 $[Pb(Zr_x, Ti_y)O_3]$ から成り、チタン酸ジルコン酸鉛の組成は、 $0.6 < Y/(X+Y) \leq 0.9$ を満足する。

第 n 層目（但し、 $n=1, 2, \dots, N$ ）のメモリユニット MU_{1n} における共通の第1の電極は、第 n 番目の選択用トランジスタ TR_{1n} を介してビット線 BL_1 に接続されている。具体的には、各選択用トランジスタ TR_{11}, TR_{12} の一方のソース/ドレイン領域14Aはビット線 BL_1 に接続され、第1番目の選択用トランジスタ TR_{11} の他方のソース/ドレイン領域14Bは、絶縁層16に設けられた第1層目の接続孔17を介して、第1層目のメモリユニット MU_{11} における共通の第1の電極21（第1の共通ノード CN_{11} ）に接続されている。また、第2番目の選択用トランジスタ TR_{12} の他方のソース/ドレイン領域14Bは、絶縁層16に設けられた第1層目の接続孔17、パッド部25、及び、層間絶縁層26に設けられた第2層目の接続孔27を介して、第2層目のメモリユニット MU_{12} における共通の第1の電極31（第2の共通ノード CN_{12} ）に接続されている。

ビット線 BL_1 は、センスアンプSAに接続されている。また、プレート線 PL_M はプレート線デコーダ/ドライバPDに接続されている。更には、ワード線 WL_1, WL_2 （あるいはワード線 $WL_{11}, WL_{12}, WL_{21}, WL_{22}$ ）は、ワード線デコーダ/ドライバWDに接続されている。ワード線 WL_1, WL_2 は、図8の紙面垂直方向に延びている。また、不揮発性メモリ M_1 を構成するメモリセル MC_{11m} の第2の電極23は、図8の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{21m} の第2の電極と共通であり、プレート線 PL_m を兼ねている。更には、

不揮発性メモリ M_1 を構成するメモリセル MC_{12m} の第2の電極33は、図8の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{22n} の第2の電極と共通であり、プレート線 PL_n を兼ねている。これらのプレート線 PL_n は、図示しない領域において接続されている。また、ワード線 WL_1 は、不揮発性メモリ M_1 を構成する選択用トランジスタ TR_{11} と、図8の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成する選択用トランジスタ TR_{21} とで共通である。更には、ワード線 WL_2 は、不揮発性メモリ M_1 を構成する選択用トランジスタ TR_{12} と、図8の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成する選択用トランジスタ TR_{22} とで共通である。

- 図9の(A)及び図10に回路図を示す不揮発性メモリ M_1 、 M_2 において、不揮発性メモリ M_1 、 M_2 を構成する選択用トランジスタ TR_{1n} 、 TR_{2n} は同じワード線 WL_n に接続されている。そして、対となったメモリセル MC_{1nm} 、 MC_{2nm} ($n=1, 2$ 、及び、 $m=1, 2, \dots, M$)に相補的なデータが記憶される。例えば、メモリセル MC_{11m} 、 MC_{21m} (ここで、 m は1, 2, 3, 4のいずれか)に記憶されたデータを読み出す場合、ワード線 WL_1 を選択し、プレート線 PL_j ($m \neq j$)には、例えば $(1/3)V_{cc}$ の電圧を印加した状態で、プレート線 PL_m を駆動する。これによって、相補的なデータが、対となったメモリセル MC_{11m} 、 MC_{21m} から選択用トランジスタ TR_{11} 、 TR_{21} を介して対となったビット線 BL_1 、 BL_2 に電圧(ビット線電位)として現れる。そして、かかる対となったビット線 BL_1 、 BL_2 の電圧(ビット線電位)を、センスアンプSAで検出する。尚、不揮発性メモリ M_1 、 M_2 を構成する選択用トランジスタ TR_{11} 、 TR_{12} 、 TR_{21} 、 TR_{22} を、それぞれ、異なるワード線 WL_{11} 、 WL_{12} 、 WL_{21} 、 WL_{22} に接続し、メモリセル MC_{1nm} 、 MC_{2nm} を独立して制御し、対となったビット線 BL_1 、 BL_2 の一方に参照電圧を印加することによって、メモリセル MC_{1nm} 、 MC_{2nm} のそれぞれからデータを読み出すこともできる。このような構成を採用する場合の回路図は、図9の(B)及び図11を参照のこと。尚、選択用トランジスタ TR_{11} 、 TR_{21} を同時に駆動し、選択用

トランジスタ TR_{12} , TR_{22} を同時に駆動すれば、図 9 の (A) 及び図 10 に示した回路と等価となる。このように、各メモリセル MC_{1nm} , MC_{2nm} ($n=1, 2$ であり、 $m=1, 2, 3, 4$) のそれぞれに 1 ビットがデータとして記憶され (図 9 の (B) 及び図 11 参照)、あるいは又、対となったメモリセル MC_{1nm} , MC_{2nm} に
 5 相補的なデータが 1 ビットとして記憶される (図 9 の (A) 及び図 10 参照)。実際の不揮発性メモリにおいては、この 16 ビットあるいは 8 ビットを記憶するメモリユニットの集合がアクセス単位ユニットとしてアレイ状に配設されている。尚、 M の値は 4 に限定されない。 M の値は、 $M \geq 2$ を満足すればよく、実際的な M の値として、例えば、2 のべき数 (2, 4, 8, 16 ...) を挙げることができる。また、 N の値は、 $N \geq 2$ を満足すればよく、実際的な N の値として、例
 10 えば、2 のべき数 (2, 4, 8 ...) を挙げることができる。

(実施例 3)

実施例 3 は、本発明の第 1 の態様及び第 4 の態様に係る不揮発性メモリに関する。ビット線の延びる方向と平行な仮想垂直面で実施例 3 の不揮発性メモリを切
 15 断したときの模式的な一部断面図を図 12 に示す。更には、本発明の第 4 の態様に係る不揮発性メモリの概念的な回路図を図 13 の (A) 及び (B) に示し、具体的な回路図を図 14 に示す。尚、図 13 の (A) 及び (B) には、2 つの不揮発性メモリ M_1 , M_2 を図示するが、これらの不揮発性メモリ M_1 , M_2 の構造は同一であり、以下においては、不揮発性メモリ M_1 に関しての説明を行う。

20 実施例 3 の不揮発性メモリ M_1 は、

(A) N 本 (但し、 $N \geq 2$ であり、実施例 3 においては、 $N=2$) のビット線 BL_{1N} と、

(B) N 個の選択用トランジスタ TR_{1N} と、

(C) それぞれが M 個 (但し、 $M \geq 2$ であり、実施例 3 においては、 $M=4$)

25 のメモリセル MC_{1mN} から構成された、 N 個のメモリユニット MU_{1N} と、

(D) M 本のプレート線 PL_{1N} と、

から成る。

尚、図13、図14中、ビット線 BL_{11} と、選択用トランジスタ TR_{11} と、メモリセル MC_{11M} から構成されたメモリユニット MU_{11} を、サブユニット SU_{11} で表し、ビット線 BL_{12} と、選択用トランジスタ TR_{12} と、メモリセル MC_{12M} から構成され

5 たメモリユニット MU_{12} を、サブユニット SU_{12} で表す。

そして、N個のメモリユニット MU_{1N} は、層間絶縁層26を介して積層されている。各メモリセルは、第1の電極と強誘電体層と第2の電極とから成る。具体的には、第1層目のメモリユニット MU_{11} を構成する各メモリセル MC_{11M} は、第1の電極21と強誘電体層22と第2の電極23とから成り、第2層目のメモリユニット MU_{12} を構成する各メモリセル MC_{12M} は、第1の電極31と強誘電体層32と

10 第2の電極33とから成る。更には、各メモリユニット MU_{1n} において、メモリセル MC_{1nm} の第1の電極21、31は共通である。具体的には、第1層目のメモリユニット MU_{11} において、メモリセル MC_{11M} の第1の電極21は共通である。この共通の第1の電極21を第1の共通ノード CN_{11} と呼ぶ場合がある。また、第2層

15 目のメモリユニット MU_{12} において、メモリセル MC_{12M} の第1の電極31は共通である。この共通の第1の電極31を第2の共通ノード CN_{12} と呼ぶ場合がある。一般には、第n層目（但し、 $n=1, 2, \dots, N$ ）のメモリユニット MU_{1n} において、第m番目（但し、 $m=1, 2, \dots, M$ ）のメモリセルの第2の電極23、33は、メモリユニット MU_{1n} 間で共通とされた第m番目のプレート線 PL_m に接

20 続されている。実施例3においては、より具体的には、各プレート線は、第2の電極23、33から延在しており、図示しない領域で接続されている。

そして、各メモリセル MC_{1nm} を構成する強誘電体層22、32は、チタン酸ジルコン酸鉛 $[Pb(Zr_x, Ti_y)O_3]$ から成り、チタン酸ジルコン酸鉛の組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足する。

25 第n層目（但し、 $n=1, 2, \dots, N$ ）のメモリユニット MU_{1n} における共通の第1の電極は、第n番目の選択用トランジスタ TR_{1n} を介して第n番目のビット

線 BL_{1n} に接続されている。具体的には、第 1 番目の選択用トランジスタ TR_{11} の一方のソース／ドレイン領域 14A は第 1 番目のビット線 BL_{11} に接続され、第 1 番目の選択用トランジスタ TR_{11} の他方のソース／ドレイン領域 14B は、絶縁層 16 に設けられた第 1 層目の接続孔 17 を介して、第 1 層目のメモリユニット MU_{11} における共通の第 1 の電極 21 (第 1 の共通ノード CN_{11}) に接続されている。また、第 2 番目の選択用トランジスタ TR_{12} の他方のソース／ドレイン領域 14B は、絶縁層 16 に設けられた第 1 層目の接続孔 17、パッド部 25、及び、層間絶縁層 26 に設けられた第 2 層目の接続孔 27 を介して、第 2 層目のメモリユニット MU_{12} における共通の第 1 の電極 31 (第 2 の共通ノード CN_{12}) に接続されている。

ビット線 BL_{1n} は、センスアンプ SA に接続されている。また、プレート線 PL_n はプレート線デコーダ／ドライバ PD に接続されている。更には、ワード線 WL_1 , WL_2 (あるいはワード線 WL_{11} , WL_{12} , WL_{21} , WL_{22}) は、ワード線デコーダ／ドライバ WD に接続されている。ワード線 WL_1 , WL_2 は、図 12 の紙面垂直方向に延びている。また、不揮発性メモリ M_1 を構成するメモリセル MC_{11n} の第 2 の電極 23 は、図 12 の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{21n} の第 2 の電極と共通であり、プレート線 PL_n を兼ねている。更には、不揮発性メモリ M_1 を構成するメモリセル MC_{12n} の第 2 の電極 33 は、図 12 の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{22n} の第 2 の電極と共通であり、プレート線 PL_n を兼ねている。これらのプレート線 PL_n は、図示しない領域において接続されている。また、ワード線 WL_1 は、不揮発性メモリ M_1 を構成する選択用トランジスタ TR_{11} と、図 12 の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成する選択用トランジスタ TR_{21} とで共通である。更には、ワード線 WL_2 は、不揮発性メモリ M_1 を構成する選択用トランジスタ TR_{12} と、図 12 の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成する選択用トランジスタ TR_{22} とで共通である。

図13の(A)及び図14に回路図を示す不揮発性メモリ M_1 , M_2 においては、不揮発性メモリ M_1 , M_2 を構成する選択用トランジスタ TR_{11} , TR_{21} は同じワード線 WL_1 に接続され、選択用トランジスタ TR_{12} , TR_{22} は同じワード線 WL_2 に接続されている。そして、対となったメモリセル MC_{1nm} , MC_{2nm} ($n=1, 2$ 、及び、 $m=1, 2, \dots, M$)に相補的なデータが記憶される。例えば、メモリセル MC_{11m} , MC_{21m} (ここで、 m は1, 2, 3, 4のいずれか)に記憶されたデータを読み出す場合、ワード線 WL_1 を選択し、プレート線 PL_j ($m \neq j$)には、例えば $(1/3)V_{cc}$ の電圧を印加した状態で、プレート線 PL_m を駆動する。これによって、相補的なデータが、対となったメモリセル MC_{11n} , MC_{21n} から選択用トランジスタ TR_{11} , TR_{21} を介して対となったビット線 BL_{11} , BL_{21} に電圧(ビット線電位)として現れる。そして、かかる対となったビット線 BL_{11} , BL_{21} の電圧(ビット線電位)を、センスアンプSAで検出する。尚、不揮発性メモリ M_1 , M_2 を構成する選択用トランジスタ TR_{11} , TR_{12} , TR_{21} , TR_{22} を、それぞれ、異なるワード線 WL_{11} , WL_{12} , WL_{21} , WL_{22} に接続し、メモリセル MC_{1nm} , MC_{2nm} を独立して制御し、対となったビット線 BL_{11} , BL_{21} 、あるいは、対となったビット線 BL_{12} , BL_{22} の一方に参照電圧を印加することによって、メモリセル MC_{1nm} , MC_{2nm} のそれぞれからデータを読み出すこともできる。このような構成を採用する場合の回路図は、図13の(B)及び図14を参照のこと。尚、選択用トランジスタ TR_{11} , TR_{21} を同時に駆動し、選択用トランジスタ TR_{12} , TR_{22} を同時に駆動すれば、図13の(A)に示した回路と等価となる。このように、各メモリセル MC_{1nm} , MC_{2nm} ($n=1, 2$ であり、 $m=1, 2, 3, 4$)のそれぞれに1ビットがデータとして記憶され(図13の(B)参照)、あるいは又、対となったメモリセル MC_{1nm} , MC_{2nm} に相補的なデータが1ビットとして記憶される(図13の(A)参照)。実際の不揮発性メモリにおいては、この16ビットあるいは8ビットを記憶するメモリユニットの集合がアクセス単位ユニットとしてアレイ状に配設されている。尚、 M の値は4に限定されない。 M の値は、 $M \geq 2$ を

満足すればよく、実際的なMの値として、例えば、2のべき数(2, 4, 8, 16...)を挙げることができる。また、Nの値は、 $N \geq 2$ を満足すればよく、実際的なNの値として、例えば、2のべき数(2, 4, 8...)を挙げることができる。

- 5 あるいは又、図13の(A)及び図14に回路図を示す不揮発性メモリ M_1 において、例えば、対となったメモリセル MC_{11m} , MC_{12m} ($m=1, 2, \dots, M$)に相補的なデータを記憶してもよい。例えば、メモリセル MC_{11m} , MC_{12m} (ここで、 m は1, 2, 3, 4のいずれか)に記憶されたデータを読み出す場合、ワード線 WL_1 , WL_2 を選択し、プレート線 PL_j ($m \neq j$)には、例えば $(1/3)V_{cc}$ の電圧を印加した状態で、プレート線 PL_m を駆動する。これによって、相補的なデータが、対となったメモリセル MC_{11m} , MC_{12m} から選択用トランジスタ TR_{11} , TR_{12} を介して対となったビット線 BL_{11} , BL_{12} に電圧(ビット線電位)として現れる。そして、かかる対となったビット線 BL_{11} , BL_{12} の電圧(ビット線電位)を、センスアンプSAで検出する。尚、メモリセル MC_{11m} , MC_{12m} を独立して制御し、対となったビット線 BL_{11} , BL_{12} の一方に参照電圧を印加することによって、メモリセル MC_{11m} , MC_{12m} のそれぞれからデータを読み出すこともできる。このような構成を採用する場合の回路図は、図13の(B)及び図14を参照のこと。

- 10 以上、本発明を、実施例に基づき説明したが、本発明はこれらに限定されるものではない。実施例にて説明した不揮発性メモリの構造、使用した材料、各種の形成条件、回路構成、駆動方法等は例示であり、適宜変更することができる。

- 20 一般に、単位ユニットの駆動用の信号線の合計本数をA本、その内のワード線本数をB本、プレート線の本数をC本とすると、 $A=B+C$ である。ここで、合計本数Aを一定とした場合、単位ユニットの総アドレス数($=B \times C$)が最大となるには、 $B=C$ を満足すればよい。従って、最も効率良く周辺回路を配置するためには、単位ユニットにおけるワード線本数Bとプレート線の本数Cとを等し
- 25

くすればよい。また、ロー・アドレスのアクセス単位ユニットにおけるワード線本数は、例えば、メモリセルの積層段数 (N) に一致し、プレート線本数はメモリユニットを構成するメモリセルの数 (M) に一致するが、これらのワード線本数、プレート線本数が多いほど、実質的な不揮発性メモリの集積度は向上する。

- 5 そして、ワード線本数とプレート線本数の積がアクセス可能なアドレス回数である。ここで、一括して、且つ、連続したアクセスを前提とすると、その積から「1」を減じた値がディスタープ回数である。従って、ワード線本数とプレート線本数の積の値は、メモリセルのディスタープ耐性、プロセス要因等から決定される。

実施例2において説明した不揮発性メモリを、図15に示す構造のように変形
10 することもできる。尚、回路図を図16に示す。

この不揮発性メモリは、センスアンプSAに接続されているビット線 BL_1 と、MOS型FETから構成された N 個(但し、 $N \geq 2$ であり、この例においては $N = 4$)の選択用トランジスタ TR_{11} , TR_{12} , TR_{13} , TR_{14} と、 N 個のメモリユニット MU_{11} , MU_{12} , MU_{13} , MU_{14} と、プレート線から構成されている。第1層目のメモリユニット MU_{11} は、 M 個(但し、 $M \geq 2$ であり、この例においては $M = 8$)のメモリセル MC_{11m} ($m = 1, 2, \dots, 8$)から構成されている。また、第2層目のメモリユニット MU_{12} も、 M 個($M = 8$)のメモリセル MC_{12m} ($m = 1, 2, \dots, 8$)から構成されている。更には、第3層目のメモリユニット MU_{13} も、 M 個($M = 8$)のメモリセル MC_{13m} ($m = 1, 2, \dots, 8$)から構成され、第4層目のメモリユニット MU_{14} も、 M 個($M = 8$)のメモリセル MC_{14m} ($m = 1, 2, \dots, 8$)から構成されている。プレート線の本数は、 M 本(この例においては8本)であり、 PL_m ($m = 1, 2, \dots, 8$)で表している。選択用トランジスタ TR_{1n} のゲート電極に接続されたワード線 WL_{1n} は、ワード線デコーダ/ドライバWDに接続されている。一方、各プレート線 PL_m は、プレート線デコーダ/ドライバPD
20 Dに接続されている。

また、第1層目のメモリユニット MU_{11} を構成する各メモリセル MC_{11m} は、第1

の電極 2 1 A と強誘電体層 2 2 A と第 2 の電極 2 3 とから成り、第 2 層目のメモリユニット MU_{12} を構成する各メモリセル MC_{12m} は、第 1 の電極 2 1 B と強誘電体層 2 2 B と第 2 の電極 2 3 とから成り、第 3 層目のメモリユニット MU_{13} を構成する各メモリセル MC_{13m} は、第 1 の電極 3 1 A と強誘電体層 3 2 A と第 2 の電極 3 3 とから成り、第 4 層目のメモリユニット MU_{14} を構成する各メモリセル MC_{14m} は、第 1 の電極 3 1 B と強誘電体層 3 2 B と第 2 の電極 3 3 とから成る。そして、各メモリユニット MU_{11} , MU_{12} , MU_{13} , MU_{14} において、メモリセルの第 1 の電極 2 1 A, 2 1 B, 3 1 A, 3 1 B は共通である。この共通の第 1 の電極 2 1 A, 2 1 B, 3 1 A, 3 1 B を、便宜上、共通ノード CN_{11} , CN_{12} , CN_{13} , CN_{14} と呼ぶ。

ここで、第 1 層目のメモリユニット MU_{11} における共通の第 1 の電極 2 1 A (第 1 の共通ノード CN_{11}) は、第 1 番目の選択用トランジスタ TR_{11} を介してビット線 BL_1 に接続されている。また、第 2 層目のメモリユニット MU_{12} における共通の第 1 の電極 2 1 B (第 2 の共通ノード CN_{12}) は、第 2 番目の選択用トランジスタ TR_{12} を介してビット線 BL_1 に接続されている。更には、第 3 層目のメモリユニット MU_{13} における共通の第 1 の電極 3 1 A (第 3 の共通ノード CN_{13}) は、第 3 番目の選択用トランジスタ TR_{13} を介してビット線 BL_1 に接続されている。また、第 4 層目のメモリユニット MU_{14} における共通の第 1 の電極 3 1 B (第 4 の共通ノード CN_{14}) は、第 4 番目の選択用トランジスタ TR_{14} を介してビット線 BL_1 に接続されている。

また、第 1 層目のメモリユニット MU_{11} を構成するメモリセル MC_{11m} と、第 2 層目のメモリユニット MU_{12} を構成するメモリセル MC_{12m} は、第 2 の電極 2 3 を共有しており、この共有された第 m 番目の第 2 の電極 2 3 はプレート線 PL_m に接続されている。更には、第 3 層目のメモリユニット MU_{13} を構成するメモリセル MC_{13m} と、第 4 層目のメモリユニット MU_{14} を構成するメモリセル MC_{14m} は、第 2 の電極 3 3 を共有しており、この共有された第 m 番目の第 2 の電極 3 3 はプレート線 P

L_m に接続されている。具体的には、この共有された第 m 番目の第2の電極23の延在部からプレート線 PL_m が構成され、この共有された第 m 番目の第2の電極33の延在部からプレート線 PL_m が構成されており、各プレート線 PL_m は図示しない領域で接続されている。

- 5 この不揮発性メモリにおいては、メモリユニット MU_{11} 、 MU_{12} とメモリユニット MU_{13} 、 MU_{14} は、層間絶縁層26を介して積層されている。メモリユニット MU_{14} は絶縁膜36Aで被覆されている。また、メモリユニット MU_{11} は、半導体基板10の上方に絶縁層16を介して形成されている。半導体基板10には素子分離領域11が形成されている。また、選択用トランジスタ TR_{11} 、 TR_{12} 、 TR_{13} 、
10 TR_{14} は、ゲート絶縁膜12、ゲート電極13、ソース／ドレイン領域14A、14Bから構成されている。そして、第1の選択用トランジスタ TR_{11} 、第2の選択用トランジスタ TR_{12} 、第3の選択用トランジスタ TR_{13} 、第4の選択用トランジスタ TR_{14} の一方のソース／ドレイン領域14Aはコンタクトホール15を介してビット線 BL_1 に接続されている。また、第1の選択用トランジスタ TR_{11} の他
15 方のソース／ドレイン領域14Bは、絶縁層16に形成された開口部中に設けられた接続孔17を介して第1の共通ノード CN_{11} に接続されている。更には、第2の選択用トランジスタ TR_{12} の他方のソース／ドレイン領域14Bは、接続孔17を介して第2の共通ノード CN_{12} に接続されている。また、第3の選択用トランジスタ TR_{13} の他方のソース／ドレイン領域14Bは、接続孔17、パッド部25、
20 層間絶縁層26に形成された開口部中に設けられた接続孔27を介して第3の共通ノード CN_{13} に接続されている。更には、第4の選択用トランジスタ TR_{14} の他方のソース／ドレイン領域14Bは、接続孔17、パッド部25、接続孔27を介して第4の共通ノード CN_{14} に接続されている。

- また、本発明の第1の態様～第4の態様に係る不揮発性メモリを、所謂ゲイン
25 セル型とすることもできる。このような不揮発性メモリの回路図を図17に示し、不揮発性メモリを構成する各種のトランジスタの模式的なレイアウトを図18に

示し、不揮発性メモリの模式的な一部断面図を図19及び図20に示す。尚、図18において、各種のトランジスタの領域を点線で囲み、活性領域及び配線を実線で示し、ゲート電極あるいはワード線を一点鎖線で示した。また、図19に示す不揮発性メモリの模式的な一部断面図は、図18の線A-Aに沿った模式的な一部断面図であり、図20に示す不揮発性メモリの模式的な一部断面図は、図18の線B-Bに沿った模式的な一部断面図である。

本発明の第2の態様に係る不揮発性メモリにゲインセル型を適用した場合を、以下に説明する。この不揮発性メモリは、例えば、ビット線BLと、書込用トランジスタ（本発明の第1の態様～第4の態様に係る不揮発性メモリにおける選択用トランジスタである） TR_w と、M個（但し、 $M \geq 2$ であり、例えば、 $M=8$ ）のメモリセル MC_n から構成され、例えば層間絶縁層を介して積層されたN個のメモリユニットMUと、M本のプレート線 PL_n から成るメモリユニットMUから構成されている。尚、図面においては、第1層目のメモリユニットのみを図示した。そして、各メモリセル MC_n は、第1の電極21と強誘電体層22と第2の電極23とから成り、メモリユニットMUを構成するメモリセル MC_n の第1の電極21は、メモリユニットMUにおいて共通であり、この共通の第1の電極（共通ノードCN）は、書込用トランジスタ TR_w を介してビット線BLに接続され、各メモリセル MC_n を構成する第2の電極23はプレート線 PL_n に接続されている。メモリセル MC_n は層間絶縁層26によって被覆されている。尚、不揮発性メモリのメモリユニットMUを構成するメモリセルの数（M）は8個に限定されず、一般には、 $M \geq 2$ を満足すればよく、2のべき数（ $M=2, 4, 8, 16 \dots$ ）とすることが好ましい。

更には、共通の第1の電極の電位変化を検出し、該検出結果をビット線に電流又は電圧として伝達する信号検出回路を備えている。言い換えれば、検出用トランジスタ TR_s 、及び、読出用トランジスタ TR_r を備えている。信号検出回路は、検出用トランジスタ TR_s 及び読出用トランジスタ TR_r から構成されている。そし

て、検出用トランジスタ TR_s の一端は所定の電位 V_{cc} を有する配線（例えば、不純物層から構成された電源線）に接続され、他端は読出用トランジスタ TR_r を介してビット線 BL に接続され、各メモリセル MC_m に記憶されたデータの読み出し時、読出用トランジスタ TR_r が導通状態とされ、各メモリセル MC_m に記憶されたデータに基づき共通の第1の電極（共通ノード CN ）に生じた電位により、検出用トランジスタ TR_s の動作が制御される。

具体的には、各種のトランジスタはMOS型FETから構成されており、書込用トランジスタ（選択用トランジスタ） TR_w の一方のソース／ドレイン領域は絶縁層16に形成されたコンタクトホール15を介してビット線 BL に接続され、他方のソース／ドレイン領域は、絶縁層16に形成された開口部中に設けられた接続孔17を介して共通の第1の電極（共通ノード CN ）に接続されている。また、検出用トランジスタ TR_s の一方のソース／ドレイン領域は、所定の電位 V_{cc} を有する配線に接続され、他方のソース／ドレイン領域は、読出用トランジスタ TR_r の一方のソース／ドレイン領域に接続されている。より具体的には、検出用トランジスタ TR_s の他方のソース／ドレイン領域と読出用トランジスタ TR_r の一方のソース／ドレイン領域とは、1つのソース／ドレイン領域を占めている。更には、読出用トランジスタ TR_r の他方のソース／ドレイン領域はコンタクトホール15を介してビット線 BL に接続され、更に、共通の第1の電極（共通ノード CN 、あるいは、書込用トランジスタ TR_w の他方のソース／ドレイン領域）は、開口部中に設けられた接続孔17A、ワード線 WL_s を介して検出用トランジスタ TR_s のゲート電極に接続されている。また、書込用トランジスタ TR_w のゲート電極に接続されたワード線 WL_w 及び読出用トランジスタ TR_r のゲート電極に接続されたワード線 WL_r は、ワード線デコーダ／ドライバ WD に接続されている。一方、各プレート線 PL_m は、プレート線デコーダ／ドライバ PD に接続されている。更には、ビット線 BL はセンスアンプ SA に接続されている。

この不揮発性メモリのメモリセル MC_1 からデータを読み出す場合、選択プレー

ト線 PL_1 に V_{cc} を印加する。このとき、選択メモリセル MC_1 にデータ「1」が記憶されていれば、強誘電体層に分極反転が生じ、蓄積電荷量が増加し、共通ノード CN の電位が上昇する。一方、選択メモリセル MC_1 にデータ「0」が記憶されていれば、強誘電体層に分極反転が生ぜず、共通ノード CN の電位は殆ど上昇しない。即ち、共通ノード CN は、非選択メモリセルの強誘電体層を介して複数の非選択プレート線 PL_j にカップリングされているので、共通ノード CN の電位は0ボルトに比較的近いレベルに保たれる。このようにして、選択メモリセル MC_1 に記憶されたデータに依存して共通ノード CN の電位に変化が生じる。従って、選択メモリセルの強誘電体層には、分極反転に十分な電界を与えることができる。

そして、ビット線 BL を浮遊状態とし、読出用トランジスタ TR_R をオン状態とする。一方、選択メモリセル MC_1 に記憶されたデータに基づき共通の第1の電極（共通ノード CN ）に生じた電位により、検出用トランジスタ TR_S の動作が制御される。具体的には、選択メモリセル MC_1 に記憶されたデータに基づき共通の第1の電極（共通ノード CN ）に高い電位が生じれば、検出用トランジスタ TR_S は導通状態となり、検出用トランジスタ TR_S の一方のソース／ドレイン領域は所定の電位 V_{cc} を有する配線に接続されているので、かかる配線から、検出用トランジスタ TR_S 及び読出用トランジスタ TR_R を介してビット線 BL に電流が流れ、ビット線 BL の電位が上昇する。即ち、信号検出回路によって共通の第1の電極（共通ノード CN ）の電位変化が検出され、この検出結果がビット線 BL に電圧（電位）として伝達される。ここで、検出用トランジスタ TR_S の閾値を V_{th} 、検出用トランジスタ TR_S のゲート電極の電位（即ち、共通ノード CN の電位）を V_g とすれば、ビット線 BL の電位は概ね $(V_g - V_{th})$ となる。尚、検出用トランジスタ TR_S をディプレッション型の $NMOSFET$ とすれば、閾値 V_{th} は負の値をとる。これにより、ビット線 BL の負荷の大小に拘わらず、安定したセンス信号量を確保できる。尚、検出用トランジスタ TR_S を $PMOSFET$ から構成することもできる。

尚、検出用トランジスタの一端が接続された配線の所定の電位は V_{cc} に限定され

ず、例えば、接地されていてもよい。即ち、検出用トランジスタの一端が接続された配線の所定の電位を 0 ボルトとしてもよい。但し、この場合には、選択メモリセルにおけるデータの読み出し時に電位 (V_{cc}) がビット線に現れた場合、再書き込み時には、ビット線の電位を 0 ボルトとし、選択メモリセルにおけるデータの読み出し時に 0 ボルトがビット線に現れた場合、再書き込み時には、ビット線の電位を V_{cc} とする必要がある。そのためには、図 21 に例示するような、トランジスタ TR_{IV-1} , TR_{IV-2} , TR_{IV-3} , TR_{IV-4} から構成された一種のスイッチ回路 (反転回路) をビット線間に配設し、データの読み出し時には、トランジスタ TR_{IV-2} , TR_{IV-4} をオン状態とし、データの再書き込み時には、トランジスタ TR_{IV-1} , TR_{IV-3} をオン状態とすればよい。

また、例えば、図 22 に示すように、実施例 2 の不揮発性メモリの変形例として、第 1 の電極 21', 31' を上部電極とし、第 2 の電極 23', 33' を下部電極とすることもできる。このような構造は、他の実施例における不揮発性メモリにも適用することができる。

15 本発明の不揮発性メモリのキャパシタ構造を、強誘電体層を用いた不揮発性メモリ (所謂 F E R A M) のみならず、D R A M に適用することもできる。この場合には、強誘電体層の常誘電的な電界応答 (強誘電双極子の反転を伴わない応答) のみを利用する。

20 本発明においては、P Z T の組成を規定することによって、ディスタープ耐性を著しく改善することができる。それ故、不揮発性メモリを安定して動作させることが可能となり、しかも、従来の不揮発性メモリと比較して著しく高い集積化を達成することが可能となる。

請 求 の 範 囲

1. (A) ビット線と、
- (B) 選択用トランジスタと、
- (C) M個 (但し、 $M \geq 2$) のメモリセルから構成されたメモリユニットと、
- 5 (D) M本のプレート線、

から成り、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

メモリユニットにおいて、メモリセルの第1の電極は共通であり、該共通の第1の電極は、選択用トランジスタを介してビット線に接続され、

- 10 メモリユニットにおいて、第m番目 (但し、 $m = 1, 2, \dots, M$) のメモリセルの第2の電極は、第m番目のプレート線に接続されており、

各メモリセルを構成する強誘電体層は、チタン酸ジルコン酸鉛 [$\text{Pb}(\text{Zr}_x, \text{Ti}_y)\text{O}_3$] から成り、

- 15 該チタン酸ジルコン酸鉛の組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足することを特徴とする強誘電体型不揮発性半導体メモリ。

2. $0.7 \leq Y / (X + Y) \leq 0.85$ を満足することを特徴とする請求の範囲第1項に強誘電体型不揮発性半導体メモリ。

3. (A) ビット線と、

(B) 選択用トランジスタと、

- 20 (C) それぞれがM個 (但し、 $M \geq 2$) のメモリセルから構成された、N個 (但し、 $N \geq 2$) のメモリユニットと、

(D) $M \times N$ 本のプレート線、

から成り、

N個のメモリユニットは、層間絶縁層を介して積層されており、

- 25 各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、該共通の

第1の電極は、選択用トランジスタを介してビット線に接続され、

第 n 層目（但し、 $n=1, 2, \dots, N$ ）のメモリユニットにおいて、第 m 番目（但し、 $m=1, 2, \dots, M$ ）のメモリセルの第2の電極は、第 $[(n-1)M+m]$ 番目のプレート線に接続されており、

- 5 各メモリセルを構成する強誘電体層は、チタン酸ジルコン酸鉛 $[Pb(Zr_x, Ti_y)O_3]$ から成り、

該チタン酸ジルコン酸鉛の組成は、 $0.6 < Y/(X+Y) \leq 0.9$ を満足することを特徴とする強誘電体型不揮発性半導体メモリ。

4. $0.7 \leq Y/(X+Y) \leq 0.85$ を満足することを特徴とする請求の範囲

- 10 第3項に強誘電体型不揮発性半導体メモリ。

5. (A) ビット線と、

(B) N 個（但し、 $N \geq 2$ ）の選択用トランジスタと、

(C) それぞれが M 個（但し、 $M \geq 2$ ）のメモリセルから構成された、 N 個のメモリユニットと、

- 15 (D) M 本のプレート線、

から成り、

N 個のメモリユニットは、層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

- 20 第 n 層目（但し、 $n=1, 2, \dots, N$ ）のメモリユニットにおける共通の第1の電極は、第 n 番目の選択用トランジスタを介してビット線に接続され、

第 n 層目のメモリユニットにおいて、第 m 番目（但し、 $m=1, 2, \dots, M$ ）のメモリセルの第2の電極は、メモリユニット間で共通とされた第 m 番目のプレート線に接続されており、

- 25 各メモリセルを構成する強誘電体層は、チタン酸ジルコン酸鉛 $[Pb(Zr_x, Ti_y)O_3]$ から成り、

該チタン酸ジルコン酸鉛の組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足することを特徴とする強誘電体型不揮発性半導体メモリ。

6. $0.7 \leq Y / (X + Y) \leq 0.85$ を満足することを特徴とする請求の範囲第5項に強誘電体型不揮発性半導体メモリ。

- 5 7. (A) N本 (但し、 $N \geq 2$) のビット線と、
 (B) N個の選択用トランジスタと、
 (C) それぞれがM個 (但し、 $M \geq 2$) のメモリセルから構成された、N個のメモリユニットと、
 (D) M本のプレート線、

10 から成り、

N個のメモリユニットは、層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

第n層目 (但し、 $n = 1, 2, \dots, N$) のメモリユニットにおける共通の第

- 15 1の電極は、第n番目の選択用トランジスタを介して第n番目のビット線に接続され、

第n層目のメモリユニットにおいて、第m番目 (但し、 $m = 1, 2, \dots, M$) のメモリセルの第2の電極は、メモリユニット間で共通とされた第m番目のプレート線に接続されており、

- 20 各メモリセルを構成する強誘電体層は、チタン酸ジルコン酸鉛 [$Pb(Zr_x, Ti_y)O_3$] から成り、

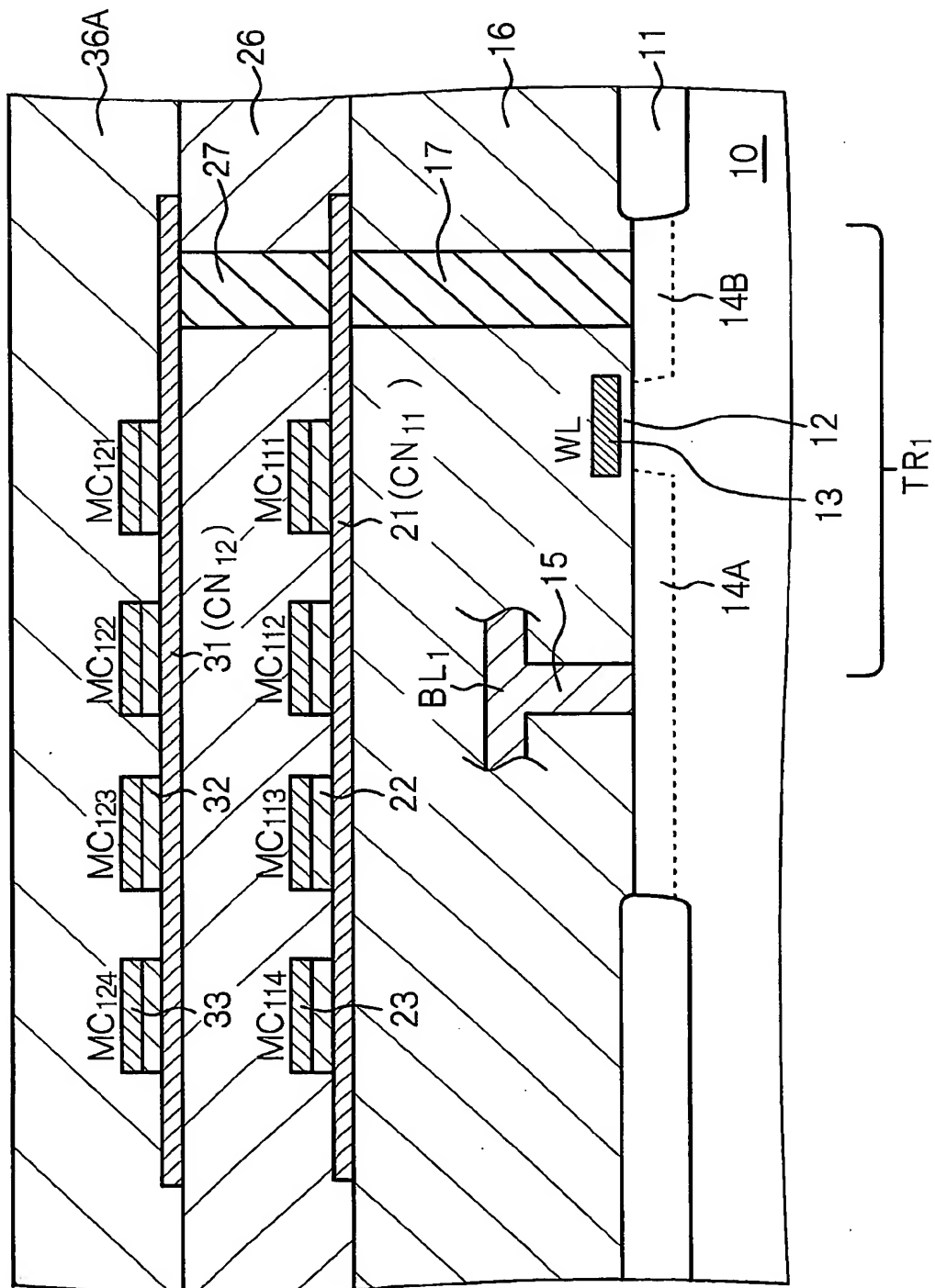
該チタン酸ジルコン酸鉛の組成は、 $0.6 < Y / (X + Y) \leq 0.9$ を満足することを特徴とする強誘電体型不揮発性半導体メモリ。

8. $0.7 \leq Y / (X + Y) \leq 0.85$ を満足することを特徴とする請求の範囲

- 25 第7項に強誘電体型不揮発性半導体メモリ。

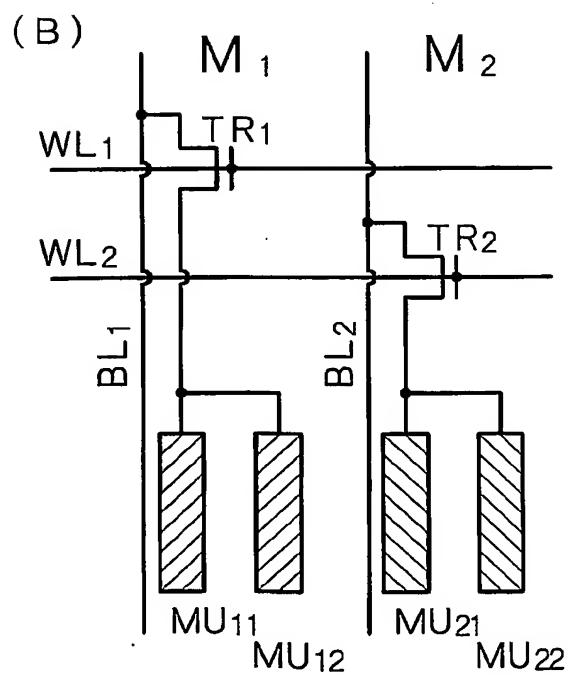
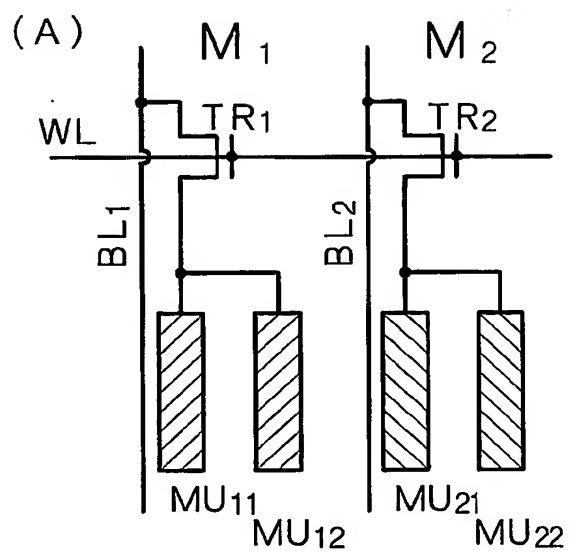
1 / 25

図 1

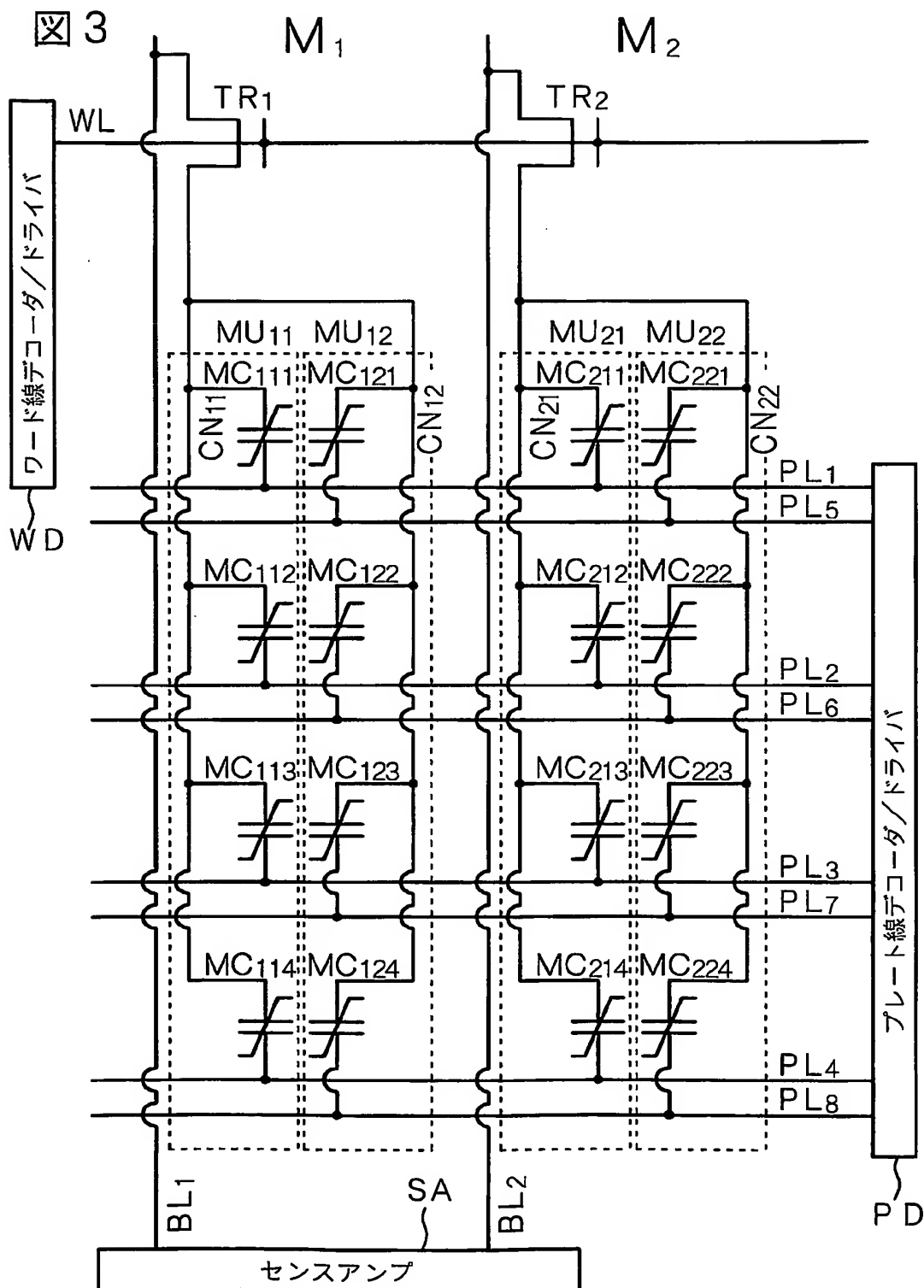


2 / 25

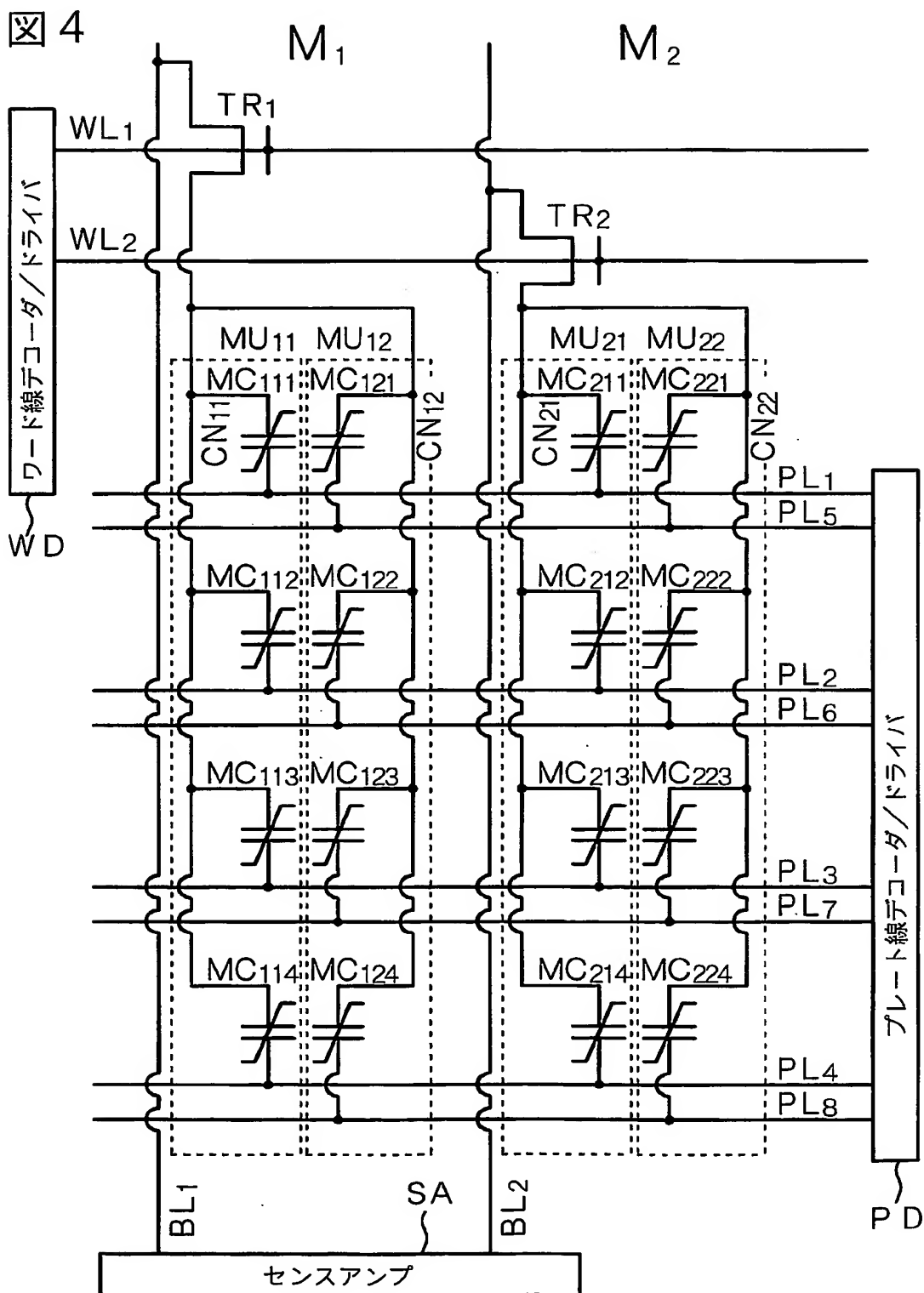
図 2



3 / 25

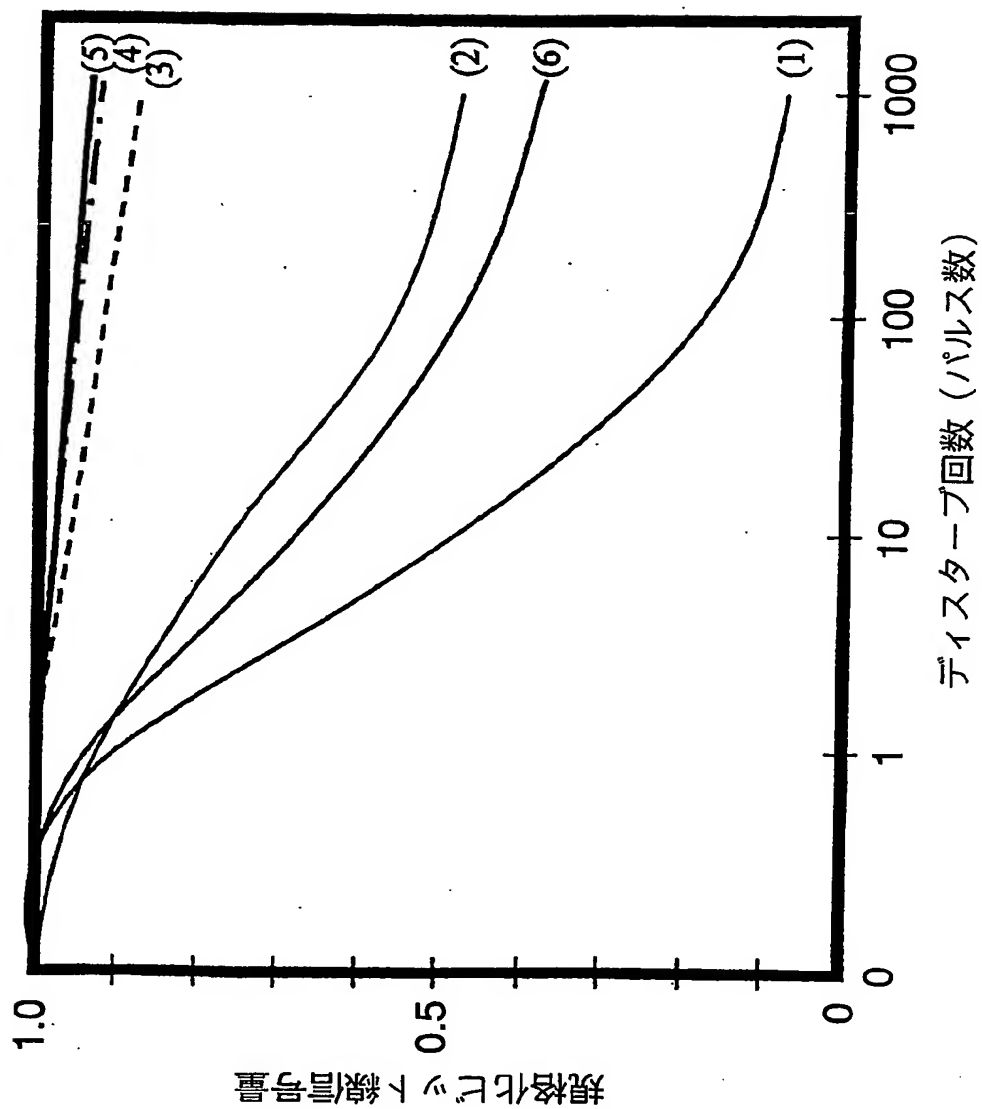


4 / 25



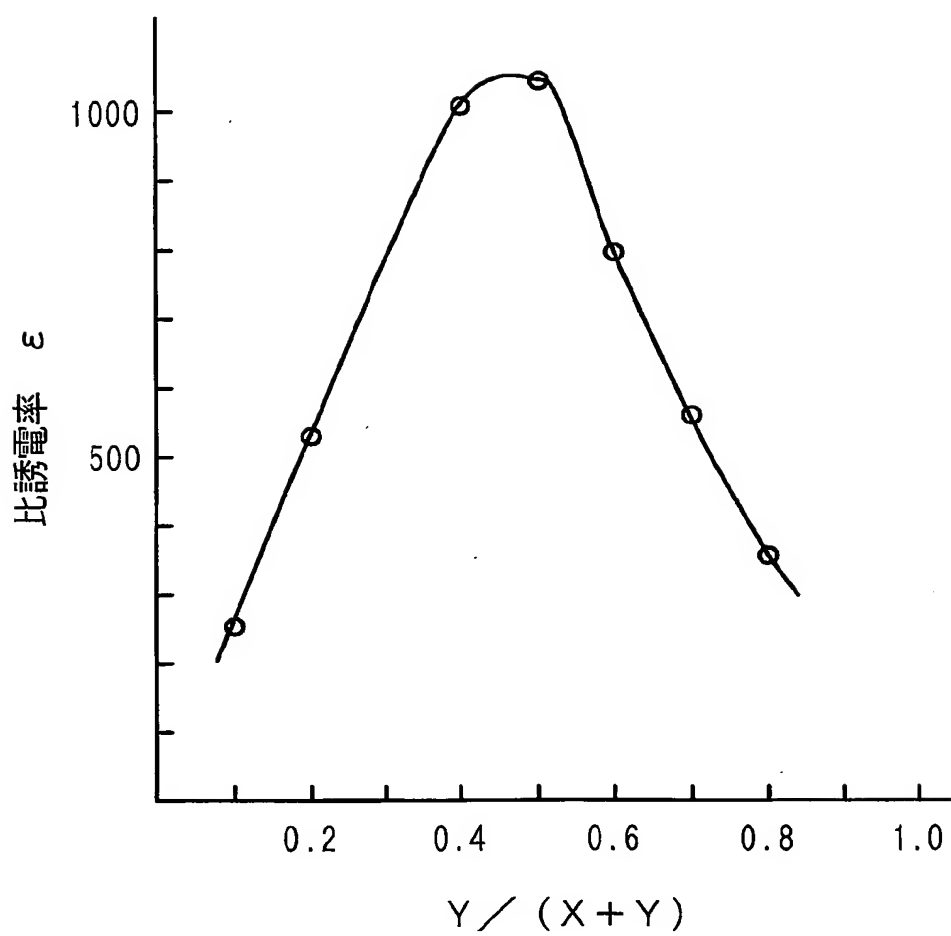
5 / 25

図 5



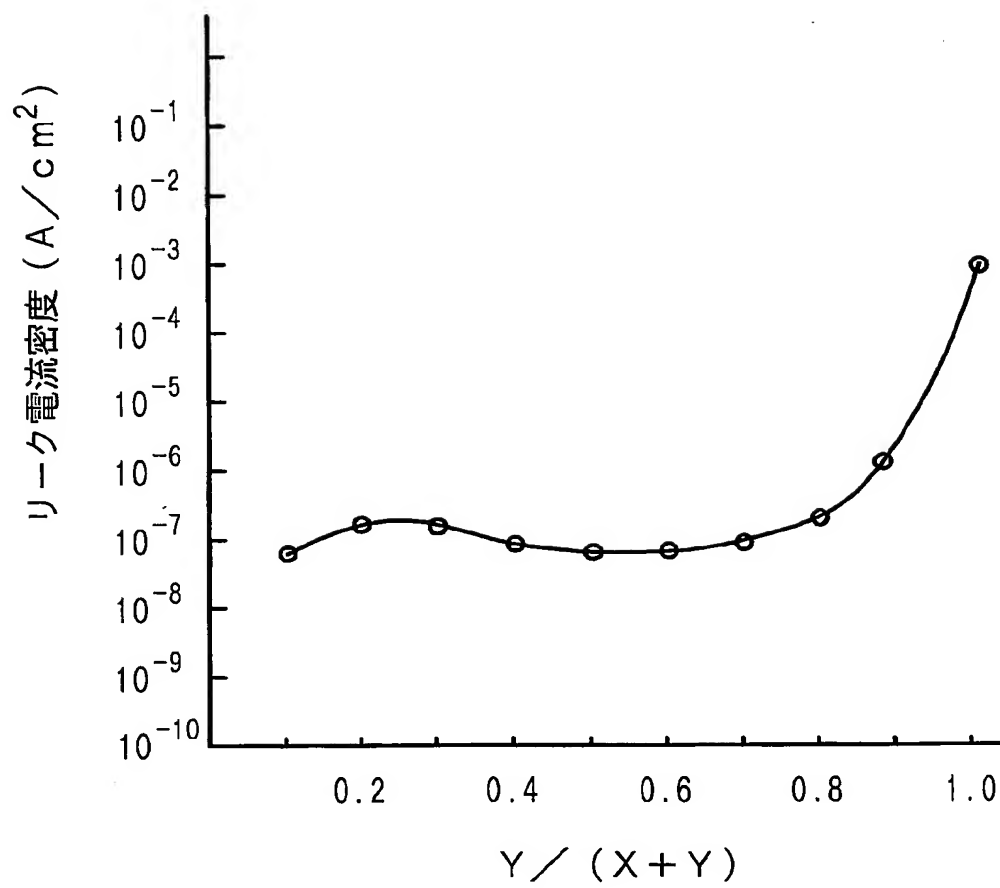
6 / 25

図 6



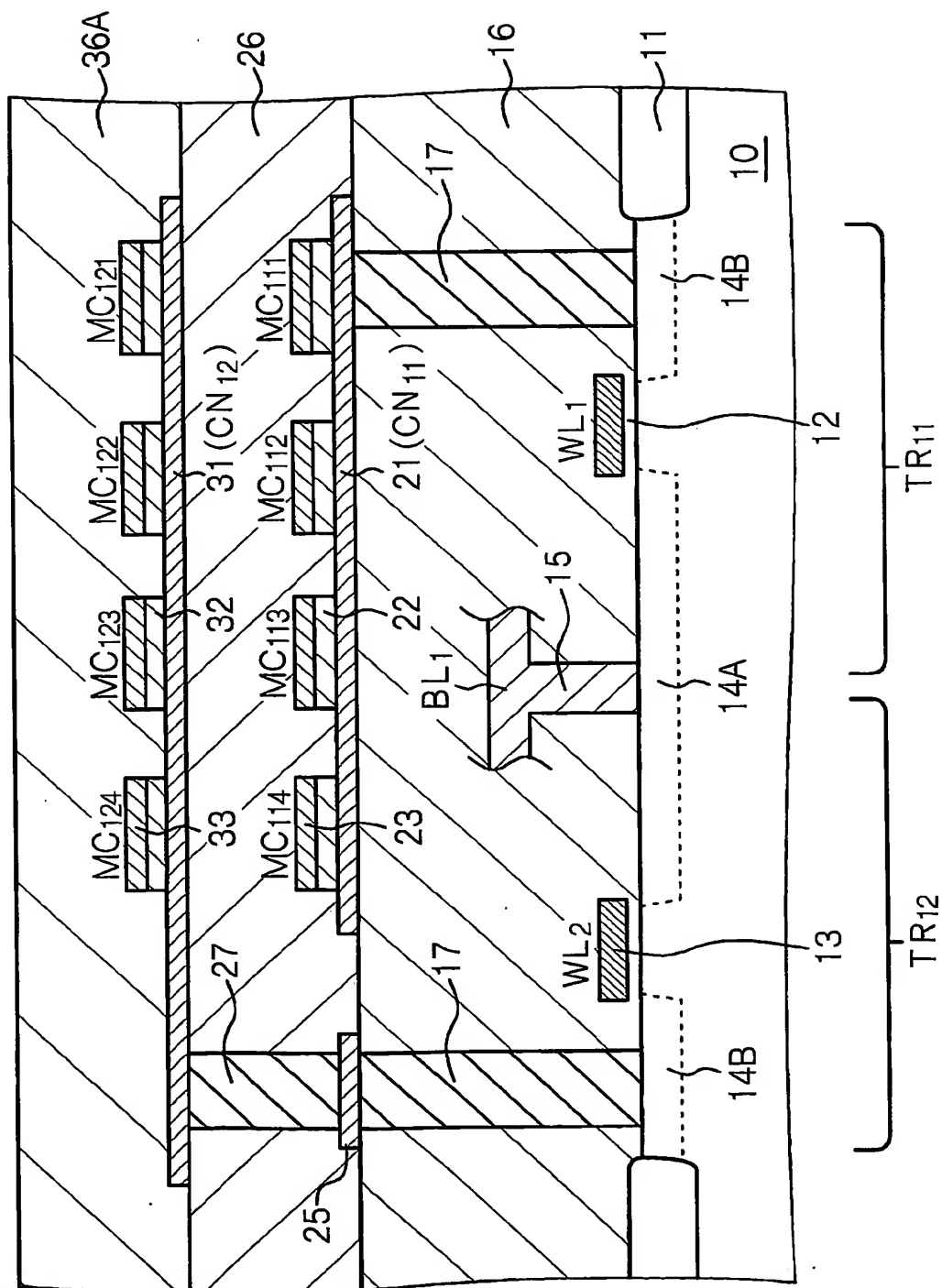
7 / 25

図 7



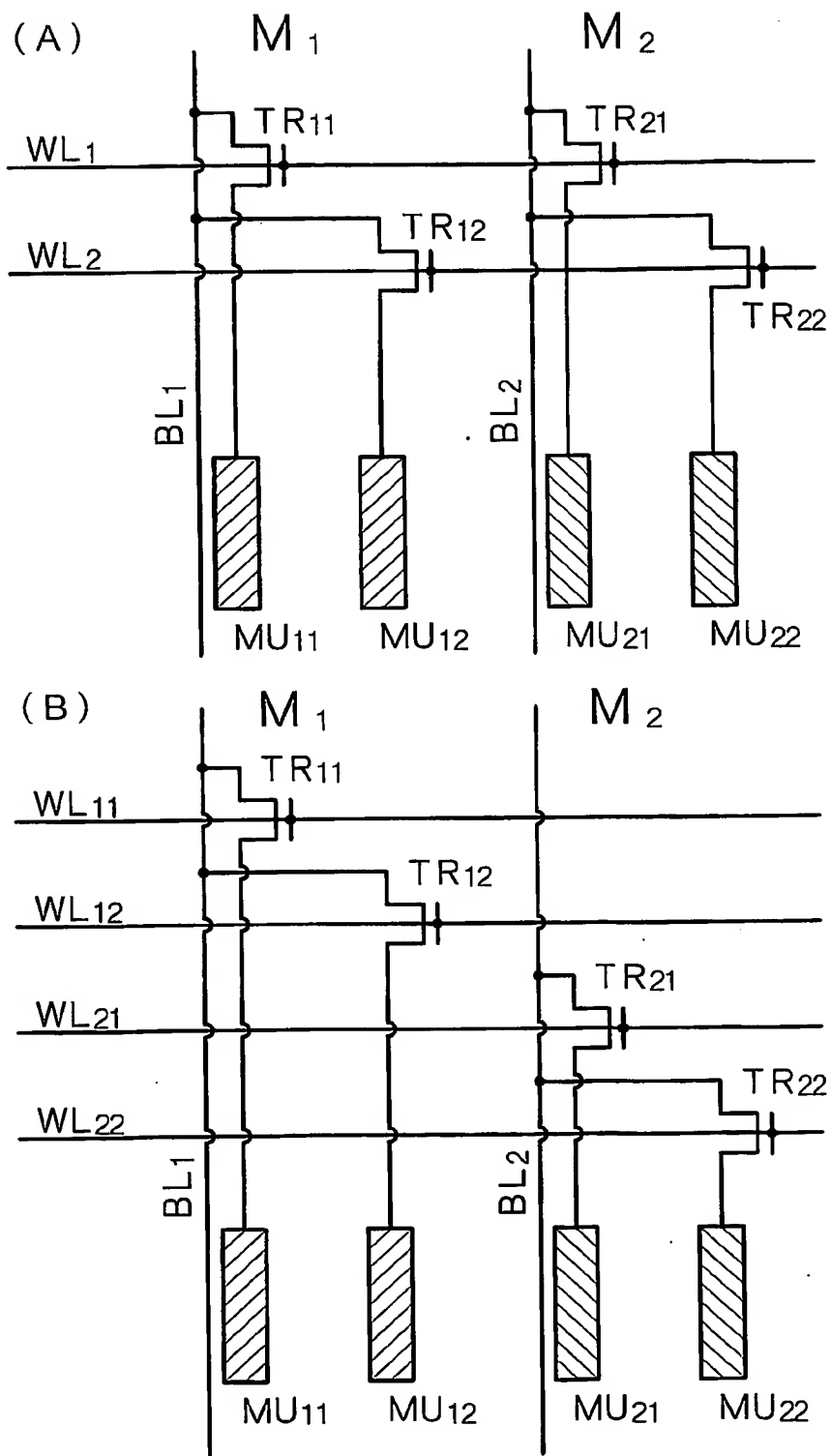
8 / 25

図 8



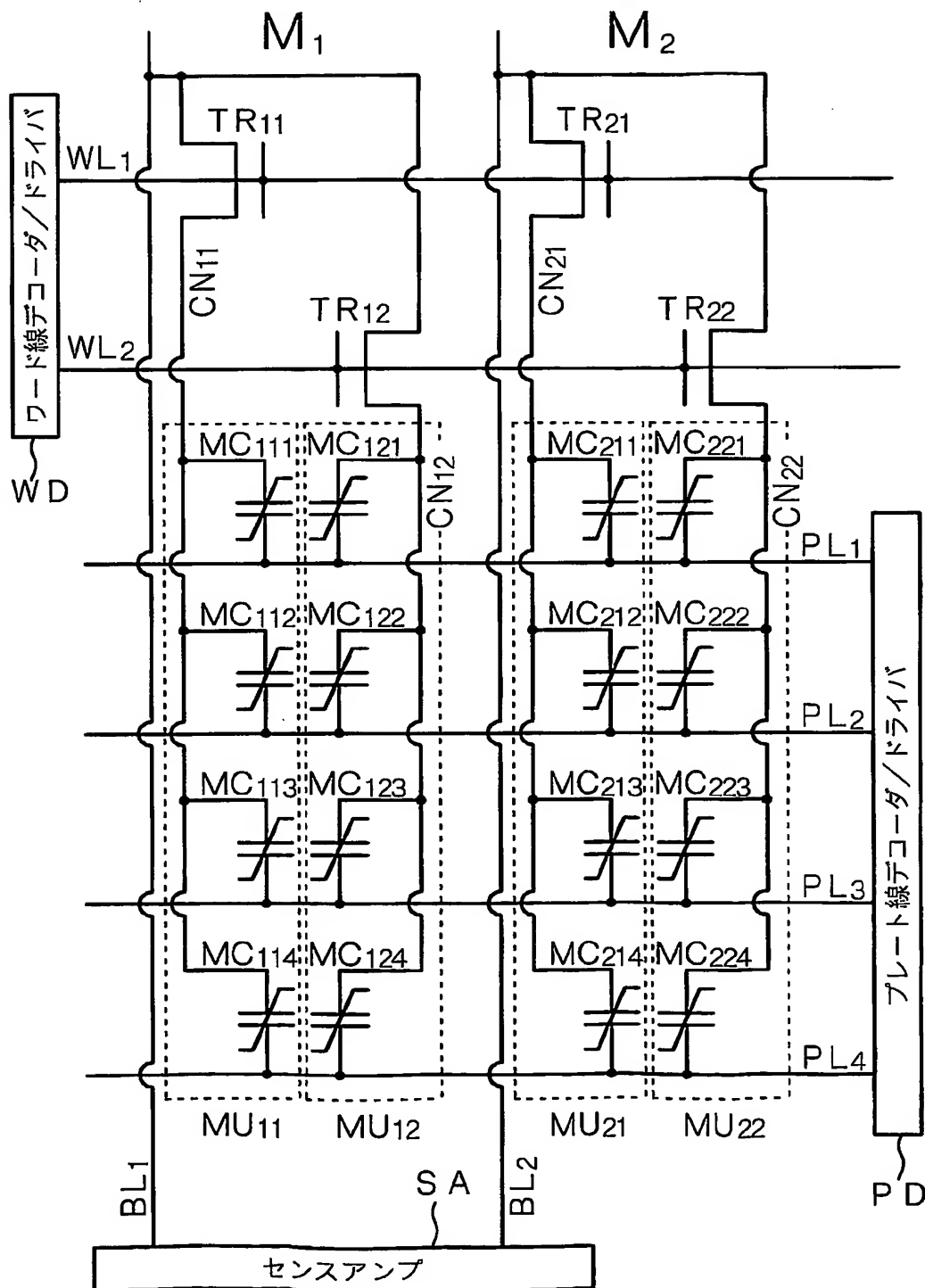
9 / 25

図 9

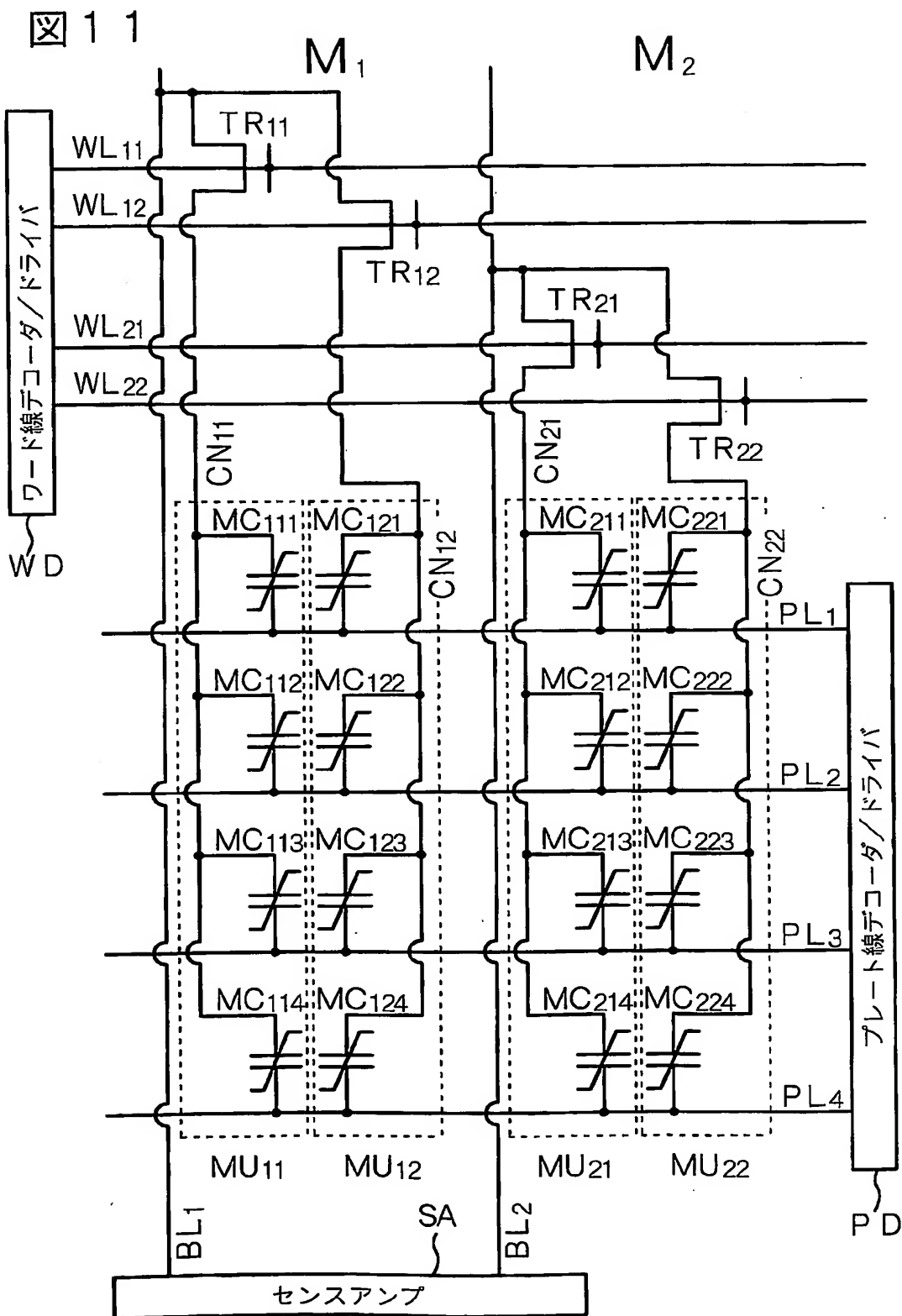


10/25

図 10

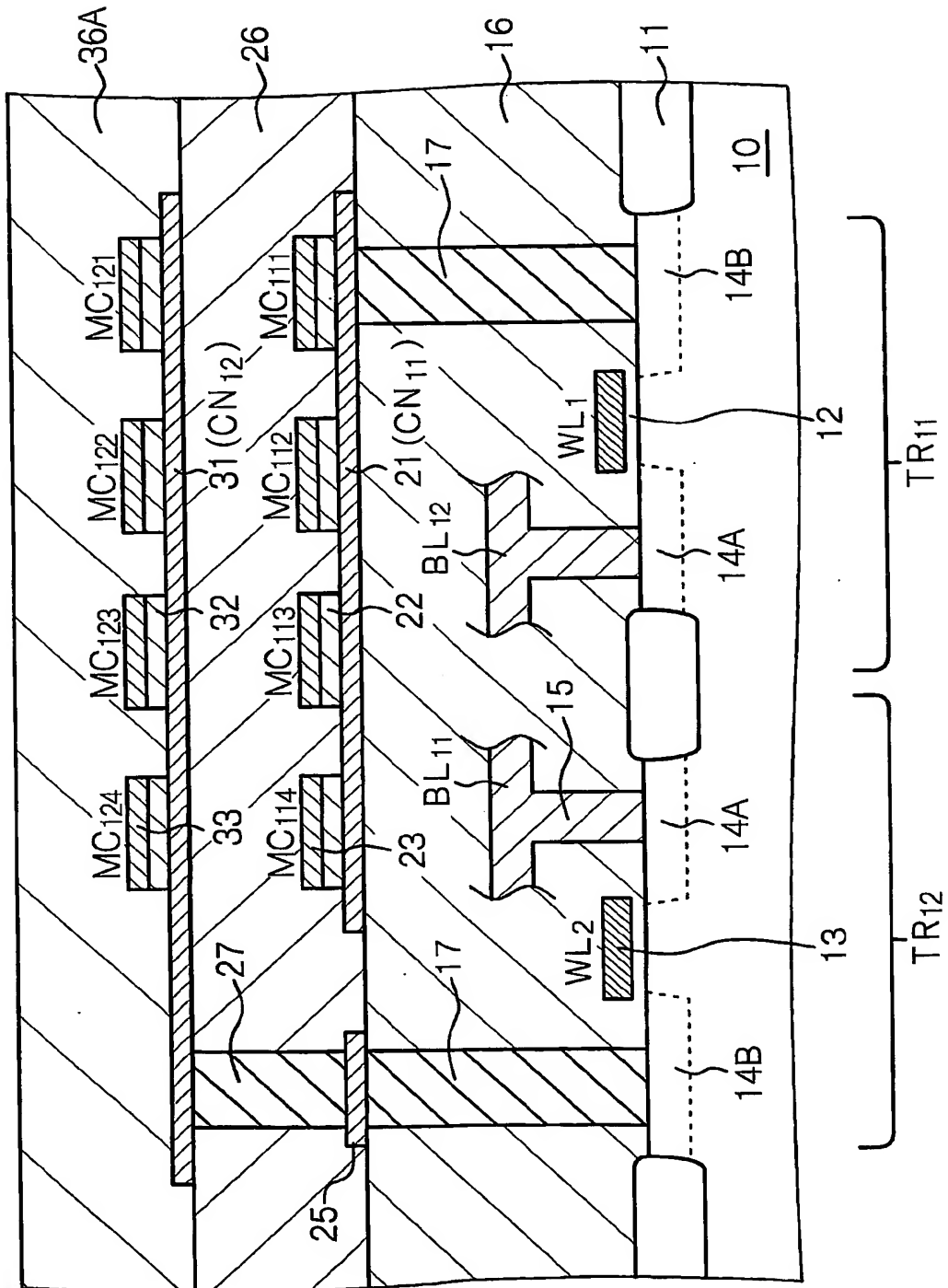


11/25



12/25

図 12



13/25

図 13

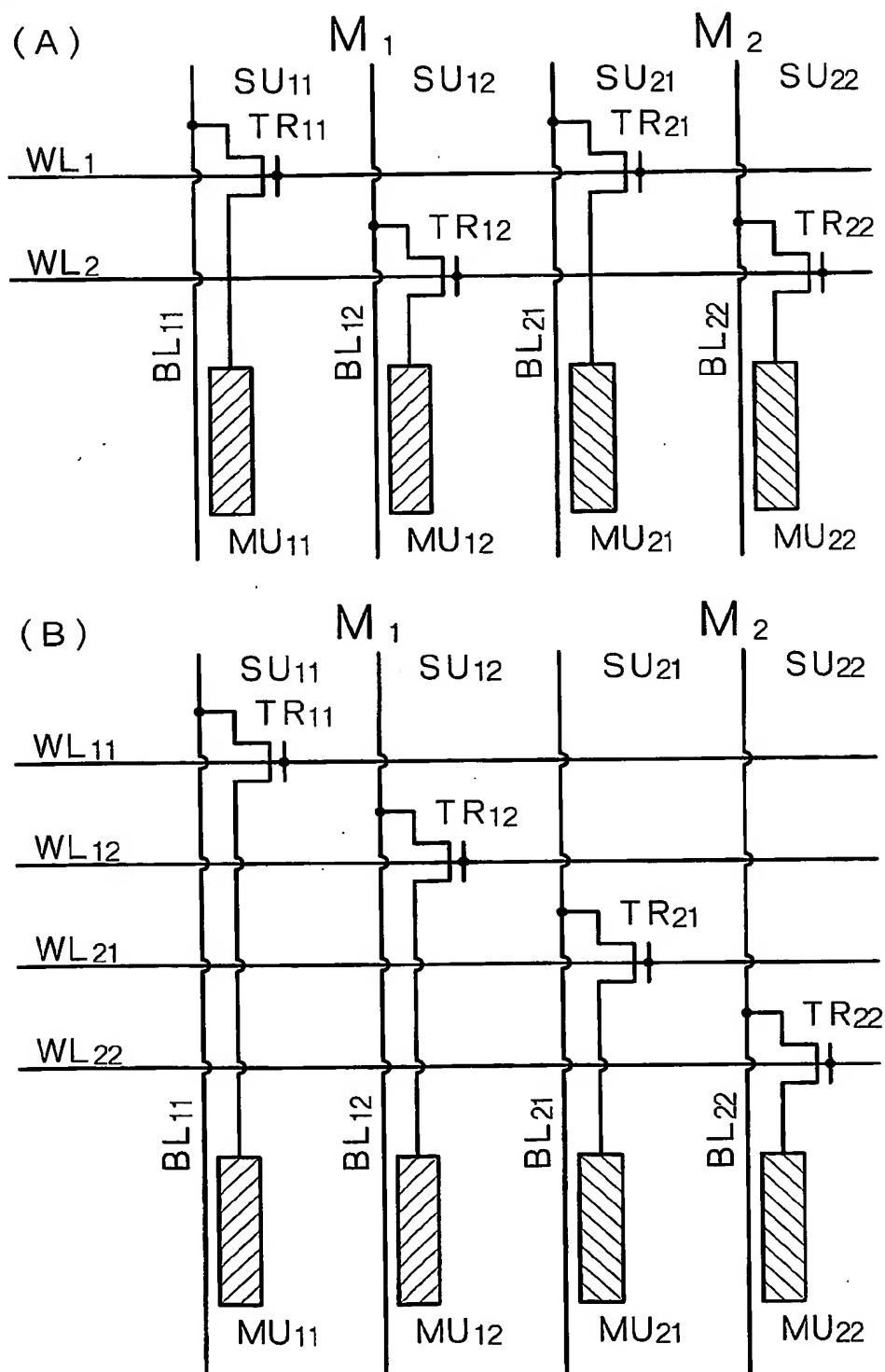
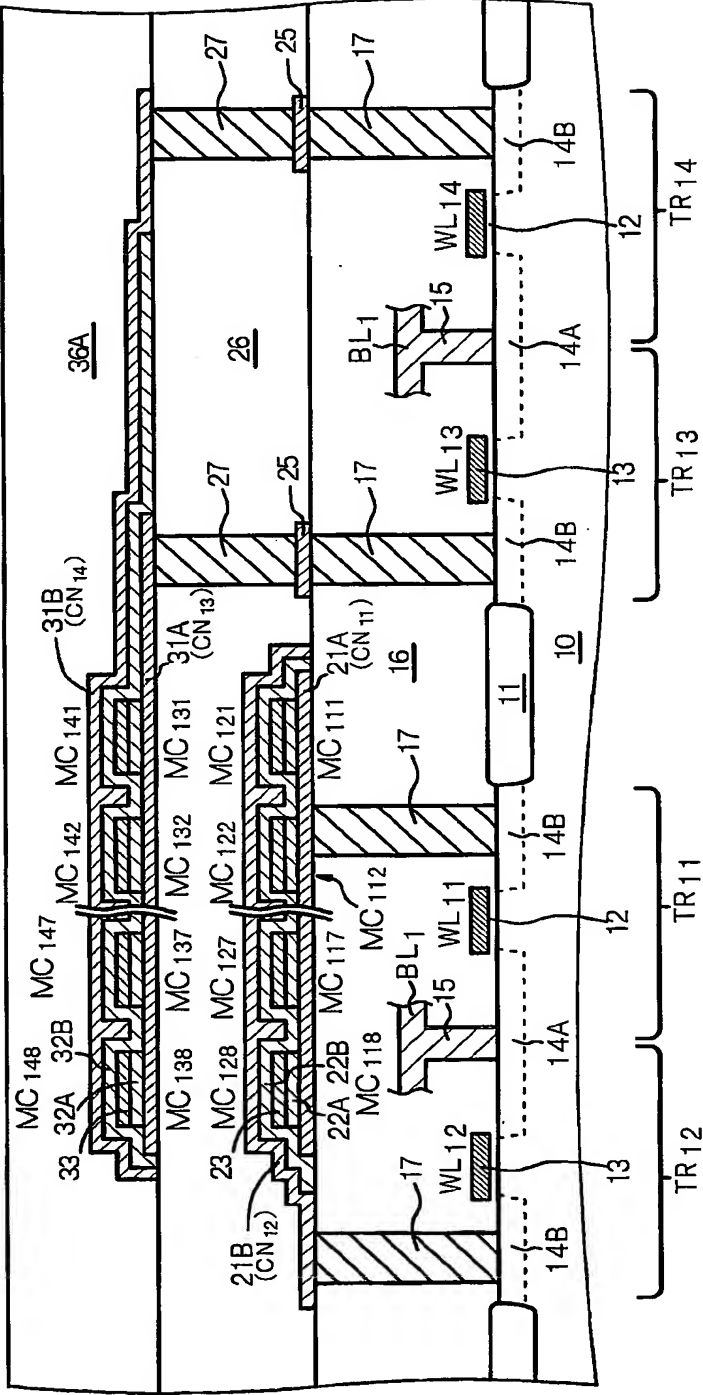
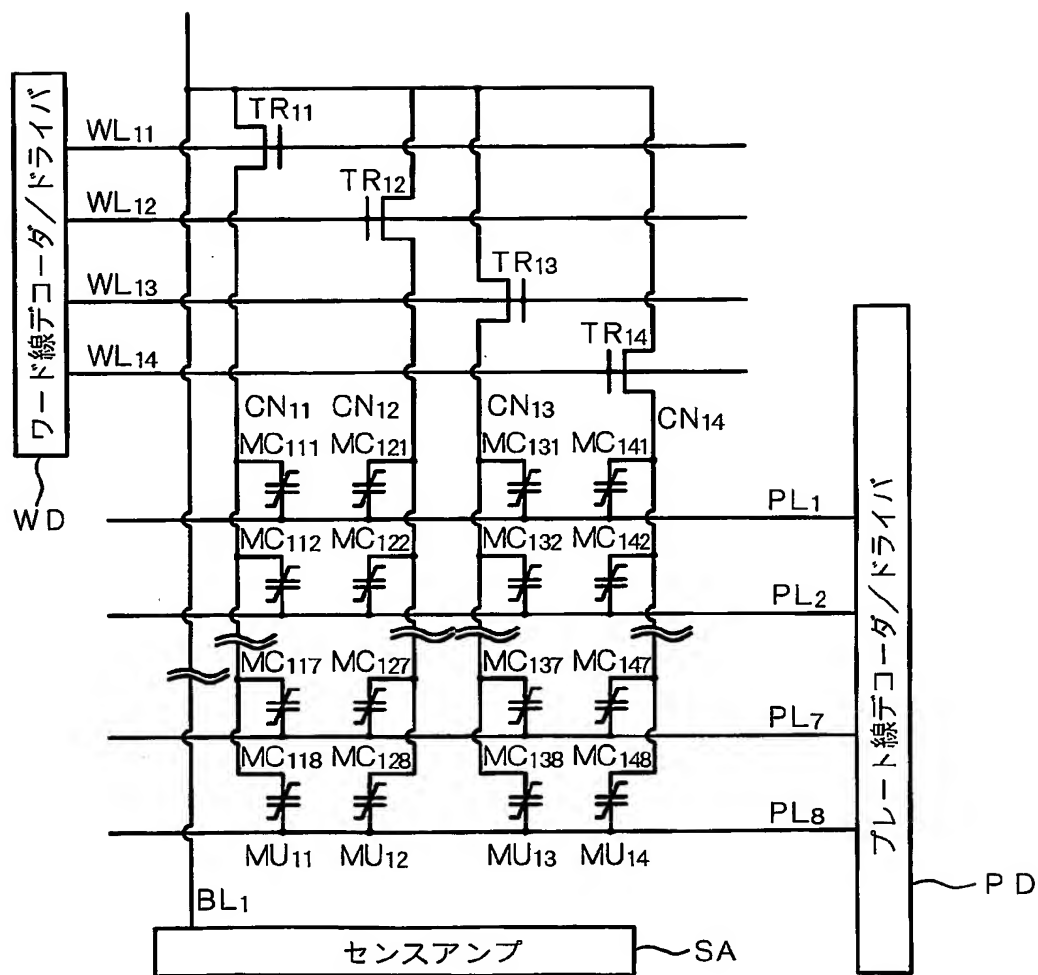


図 1 5



16/25

図 16



17/25

図 17

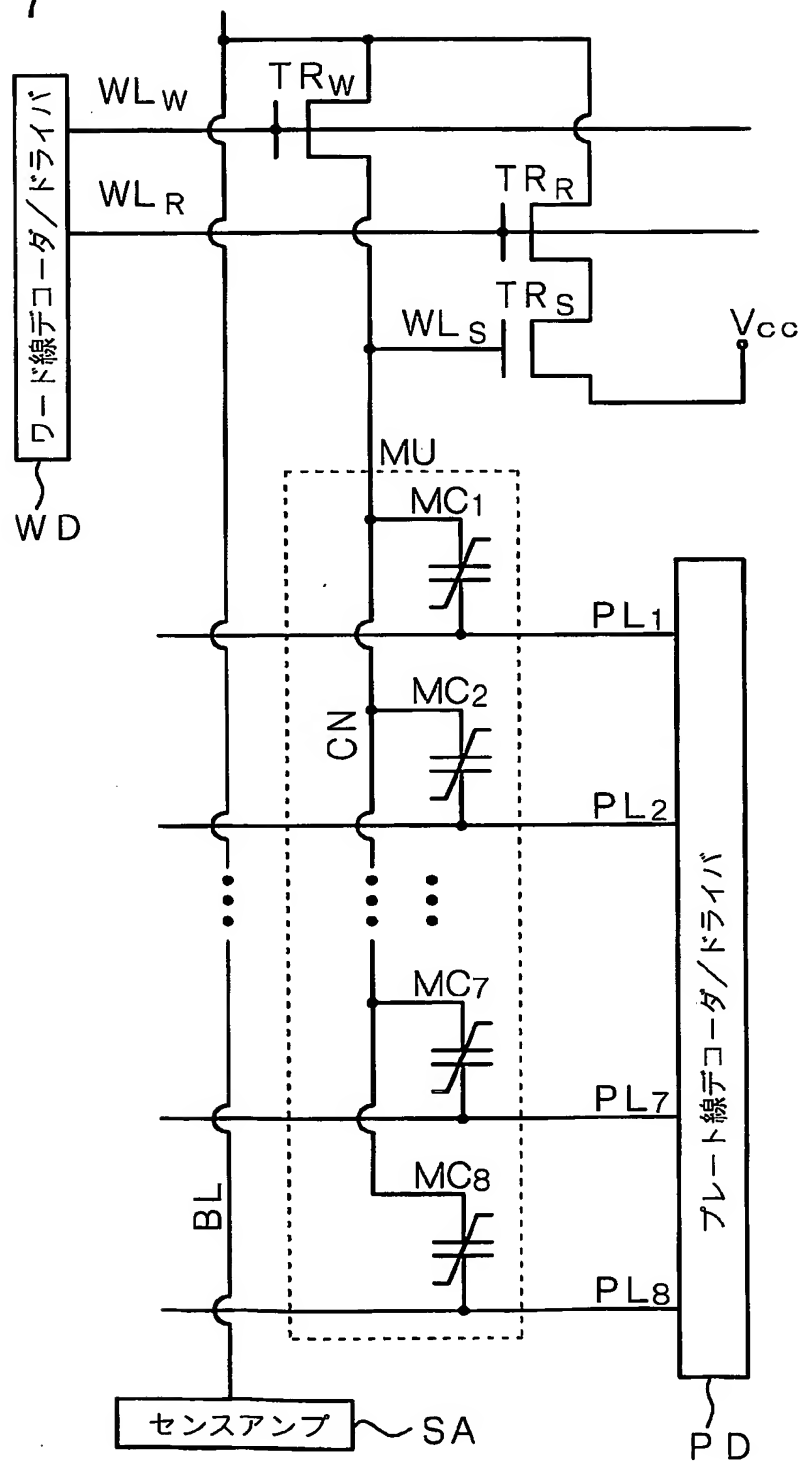


図 1 8

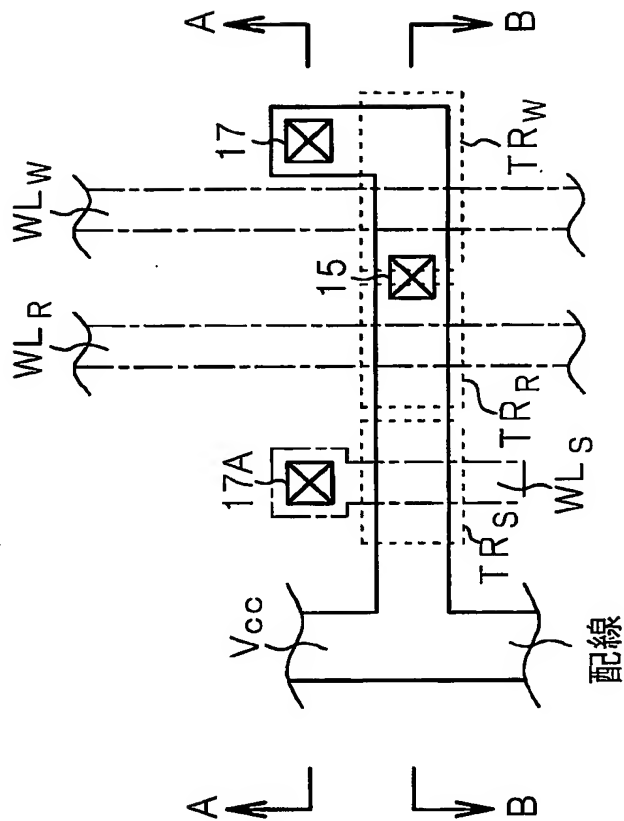


図 19

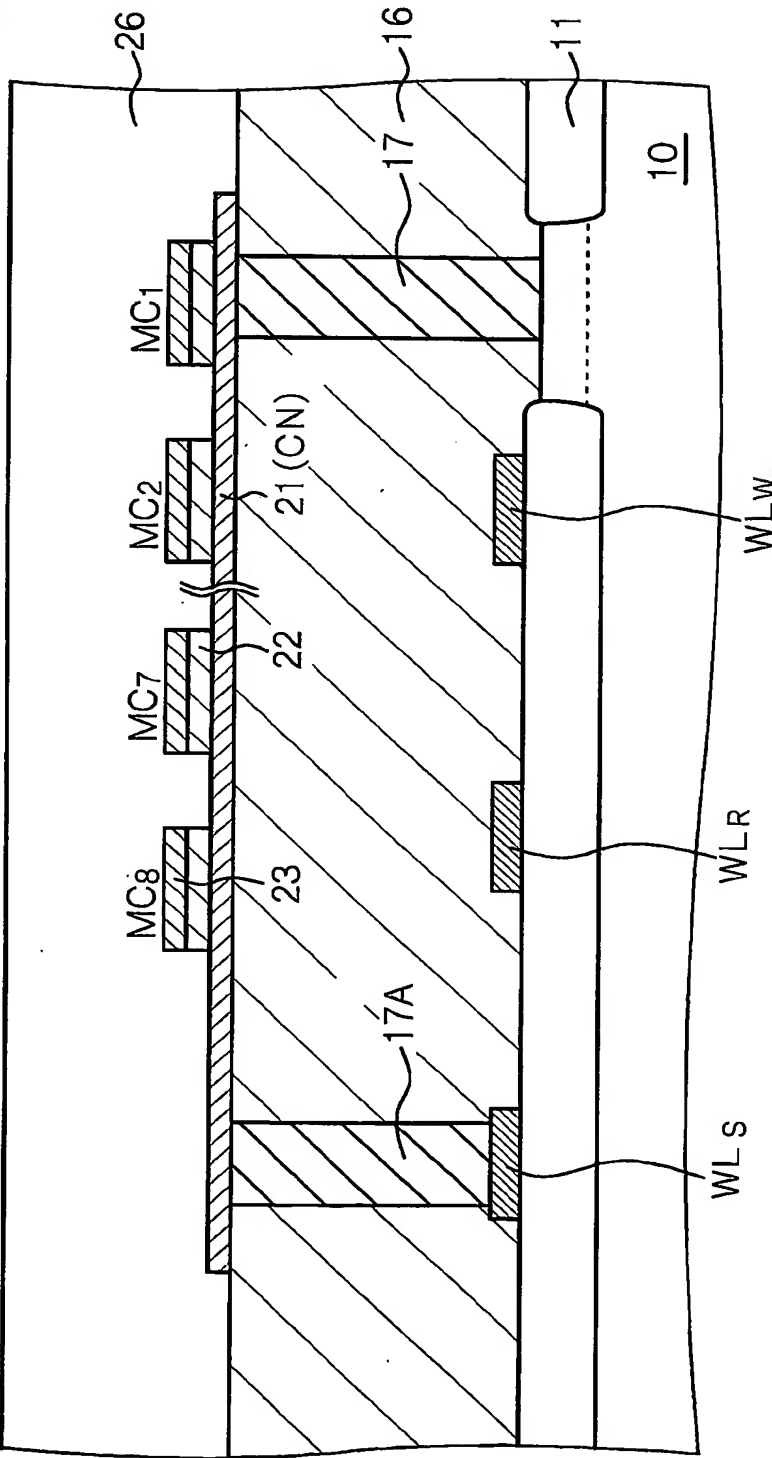
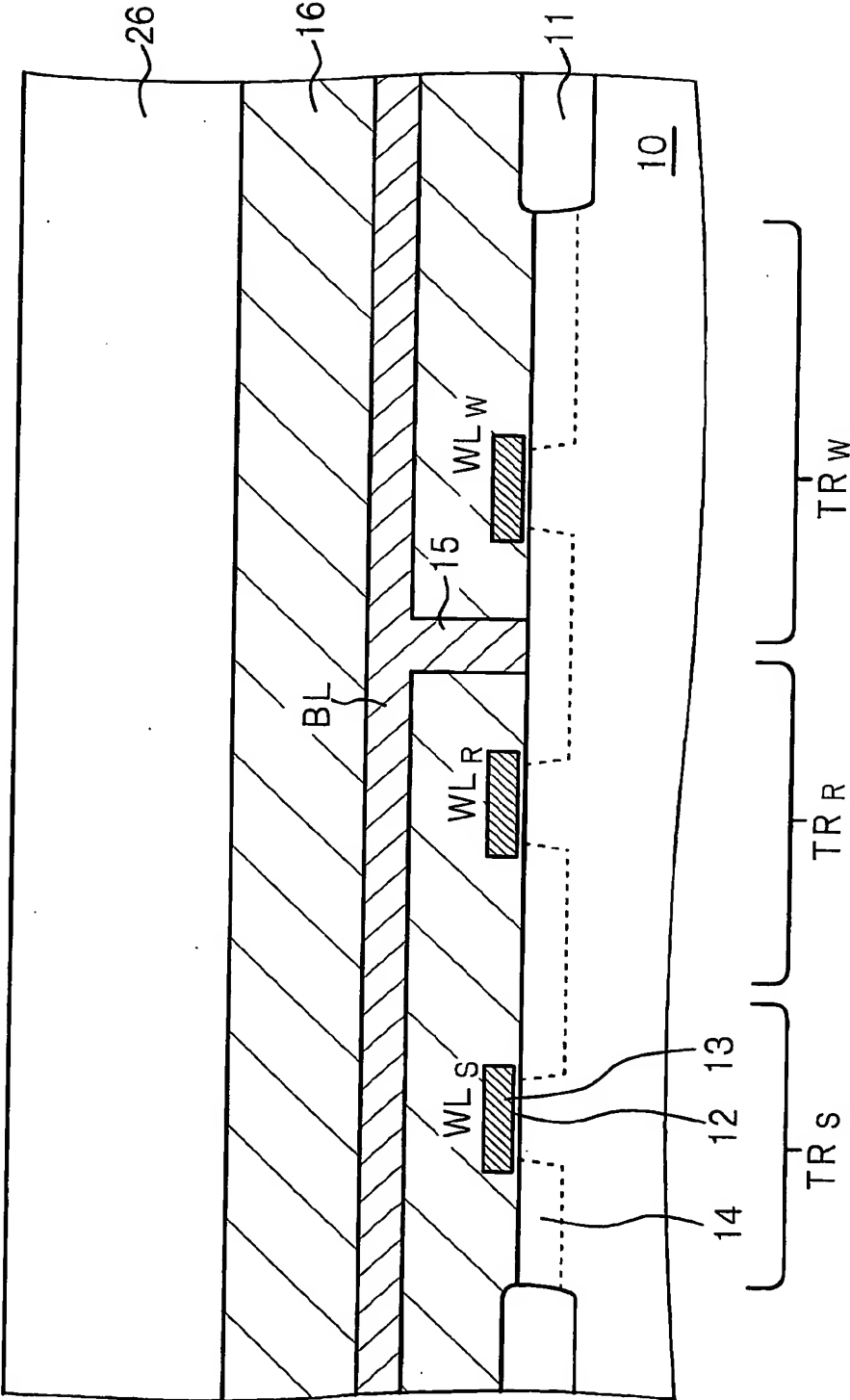


図 20



21 / 25

図 2 1

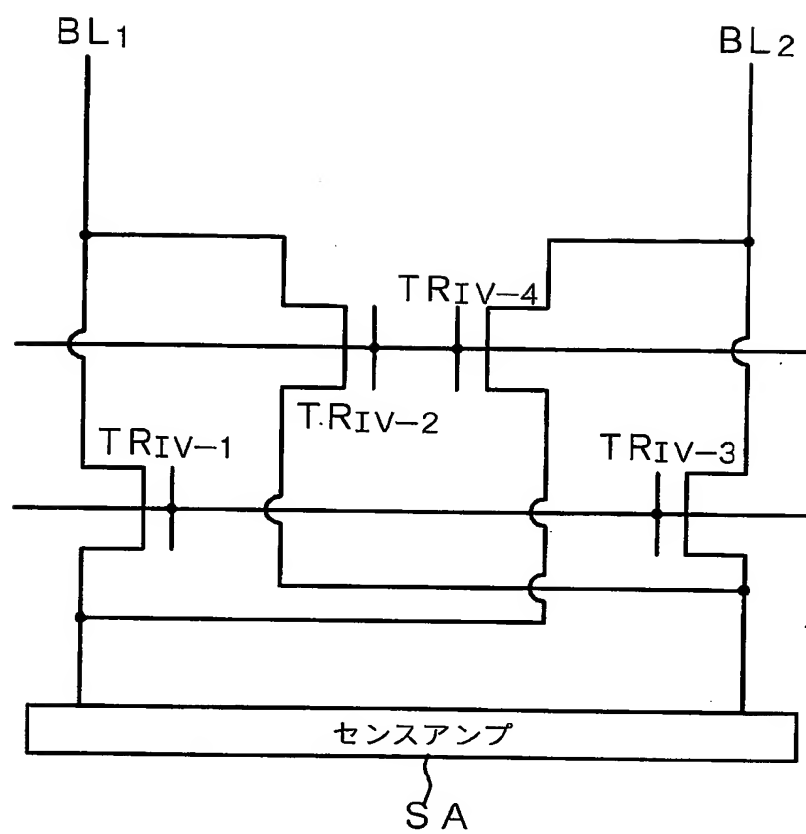
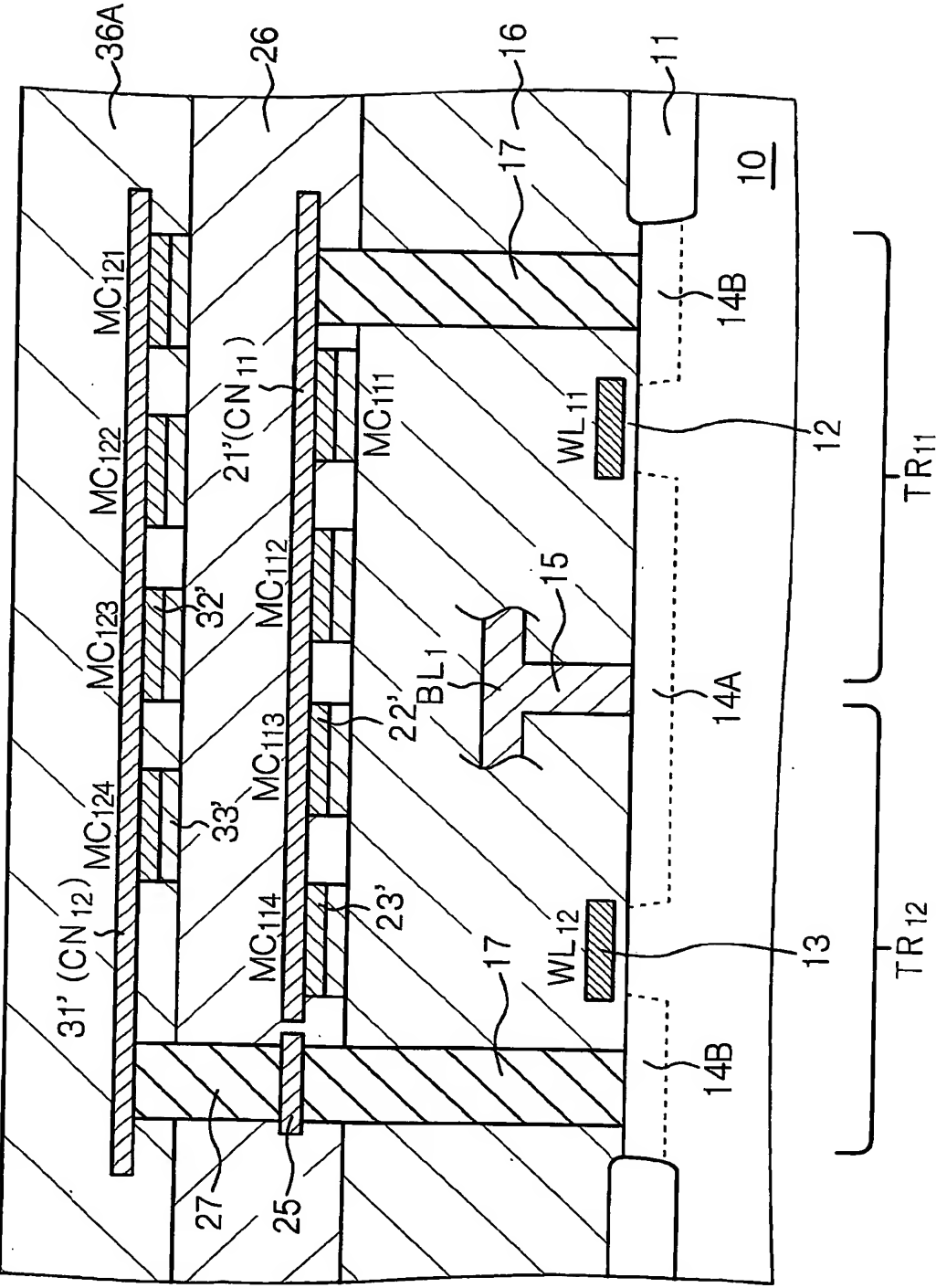
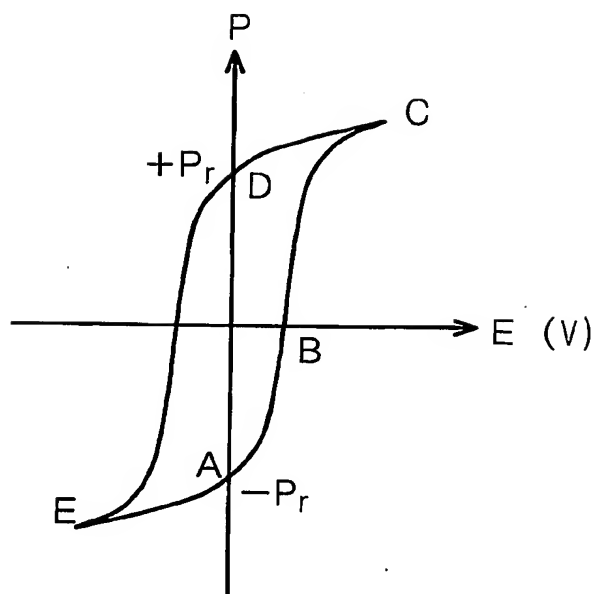


図 22



23 / 25

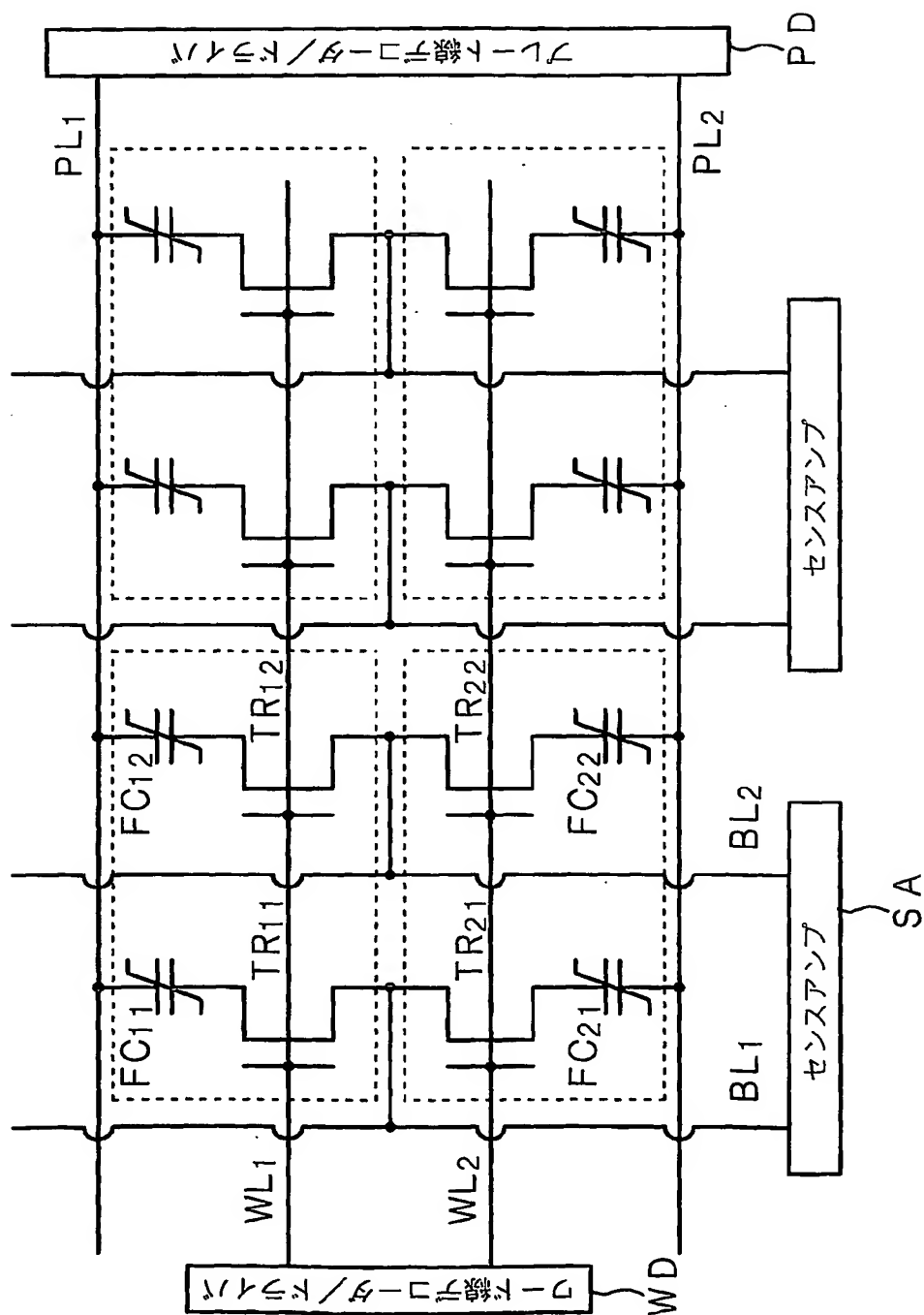
図 23



24/25

図 2 4

(従来の技術)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11259

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L27/105

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-116107 A (Sony Corp.), 02 May, 1997 (02.05.97), Full text; Figs. 1 to 12 (Family: none)	1, 2, 7, 8
Y	US 5487029 A (Hitachi, Ltd.), 23 January, 1996 (23.01.96), Full text; all drawings & JP 6-77434 A Full text; all drawings & KR 304464 B	1, 2, 3, 4, 7, 8
Y	JP 7-115141 A (Hitachi, Ltd.), 02 May, 1995 (02.05.95), Full text; all drawings (Family: none)	1, 2, 5, 6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
31 January, 2003. (31.01.03)

Date of mailing of the international search report
18 February, 2003 (18.02.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11259

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6301145 B1 (Sony Corp.), 09 October, 2001 (09.10.01), Full text; all drawings & JP 2000-349248 A Full text; all drawings & KR 2001007157 A	1, 2, 5, 6, 7, 8
Y	JP 2001-122698 A (Seiko Epson Corp.), 08 May, 2001 (08.05.01), Column 8 (Family: none)	1-8
Y	US 5375085 A (Texas Instruments Inc.), 20 December, 1994 (20.12.94), Full text; all drawings & JP 6-204424 A Full text; all drawings	3-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/105

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-116107 A (ソニー株式会社) 1997. 05. 02, 全文, 第1-12図 (ファミリーなし)	1, 2, 7, 8
Y	US 5487029 A (HITACHI, LTD.) 1996. 01. 23, 全文, 全図 & JP 6-77434 A, 全文, 全図 & KR 304464 B	1, 2, 3, 4, 7, 8
Y	JP 7-115141 A (株式会社日立製作所) 1995. 05. 02, 全文, 全図 (ファミリーなし)	1, 2, 5, 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

31. 01. 03

国際調査報告の発送日

18.02.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗野 正明

4L 3035

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 6301145 B1 (SONY CORPORATION) 2001. 10. 09, 全文, 全図 & JP 2000-349248 A, 全文, 全図 & KR 2001007157 A	1, 2, 5, 6, 7, 8
Y	JP 2001-122698 A (セイコーエプソン株式会社) 2001. 05. 08, 第8欄 (ファミリーなし)	1-8
Y	US 5375085 A (TEXAS INSTRUMENTS INCORPORATED) 1994. 12. 20, 全文, 全図 & JP 6-204424 A, 全文, 全図	3-8